

MIKROELEKTRONSKA KOLA

PREDNOSTI DIGITALNIH ELEKTRONSKIH SKLOPOVA

- Reproducibilnost (ponovljivost) rezultata – ispravno konstruisano digitalno kolo za ponovljene ulazne veličine proizvodi ponovljiv izlaz, analogna kola proizvode rezultat koji zavisi od temperature, starenja i drugih faktora
- Jednostavan proces dizajna elektronskih sklopova – digitalna logička kola zahtevaju samo “logiku” od konstruktora, bez potrebe za složenim sistemom aproksimacija koji je osnova kod dizajna analognih elektronskih kola
- Fleksibilnost i funkcionalnost – gotovo svaki problem se može rešiti digitalnim elektronskim sklopom na takav način da digitalni sklop pored rešenja problema unese i novu funkcionalnost u proizvod
- Programabilnost – digitalni elektronski sklopovi mogu biti programabilni tako da se njihova funkcija može menjati pri čemu se hardver (fizička konstrukcija sklopa) ne menja. Ovo svojstvo otvara čitav niz novih mogućnosti od kojih je unapredjenje proizvoda (*upgrad*) najvažnija
- Brzina – digitalna logička kola danas rade na frekvencijama takta od nekoliko GHz izvršavajući nekoliko milijardi operacija u sekundi

PREDNOSTI DIGITALNIH ELEKTRONSKIH SKLOPOVA - NASTAVAK

- **Ekonomičnost** – Proces izrade digitalnih elektronskih kola u integrisanoj tehnici je jeftin kod masovne proizvodnje, a složena logička kola mogu se integrisati u jedno integrisano kolo čime se pojeftinjuje proizvod
- **Kontinuiran napredak u tehnologiji izrade digitalnih kola** – Napredak u performansama digitalnih kola je svakodnevna pojava na koju se dizajner može osloniti pošto je pokretan komercijalnim faktorima i potrebama tržišta. Problem koji juče nije bio ili je bio teško rešiv sutra će vrlo verovatno biti rešiv zahvaljujući pojavi nove generacije digitalnih kola

ISTORIJAT DIGITALNE ELEKTRONIKE

■Kraj 60tih

- Sylvania i Texas Instruments pioniri u masovnoj proizvodnji prvih TTL logičkih kola– prva 74xx serija
- Napredak u brzini logičkih kola sa 74Hxx TTL serijom i ECL
- Razvija se 74Lxx TTL serija male potrošnje
- RCA uvodi prvu CMOS seriju 4000

■70te

- 74Sxx TTL Schotky serija i 74LSxx TTL male potrošnje
- Razvoj još brže TTL serije 74ASxx i dalje popravljjanje performansi ECL (I, II i III serija)
- Prvi mikroprocesori

■80te

- Dominira TTL u verzijama AS, LS i F
- Pojavljuje se 74HC (HCMOS) koju slede 74HCT i 74AC i 74ACT serije, prva ozbiljna konkurencija TTL kolima
- LSI i VLSI kola polako prelaze sa NMOS na CMOS tehnologiju

■90te nadalje

- Dominacija CMOS tehnologije u masovnoj proizvodnji
- Rapidno smanjivanje dimenzija tranzistora, povećavanje gustine tranzistora po jedinice površine i smanjivanje radnog napona i disipacije CMOS kola
- Proliferacija programabilnih logičkih kola i dominacija ASIC kola
- Razvoj FPGA i CPLD kola i integracija složenih logičkih funkcija preko softverskih paketa
- Softverska digitalna elektronika...?

ELEMENTARNA DIGITALNA KOLA

- Za razliku od analognih elektronskih kola koja po pravilu ispunjavaju neku složenu funkciju, digitalni svet se sastoji od ograničenog seta logičkih kola (funkcija ili primitiva *primitives*) koja se koriste za konstruisanje složenih logičkih funkcija
- Primarna kombinaciona digitalna kola zovu se *gate(s)*

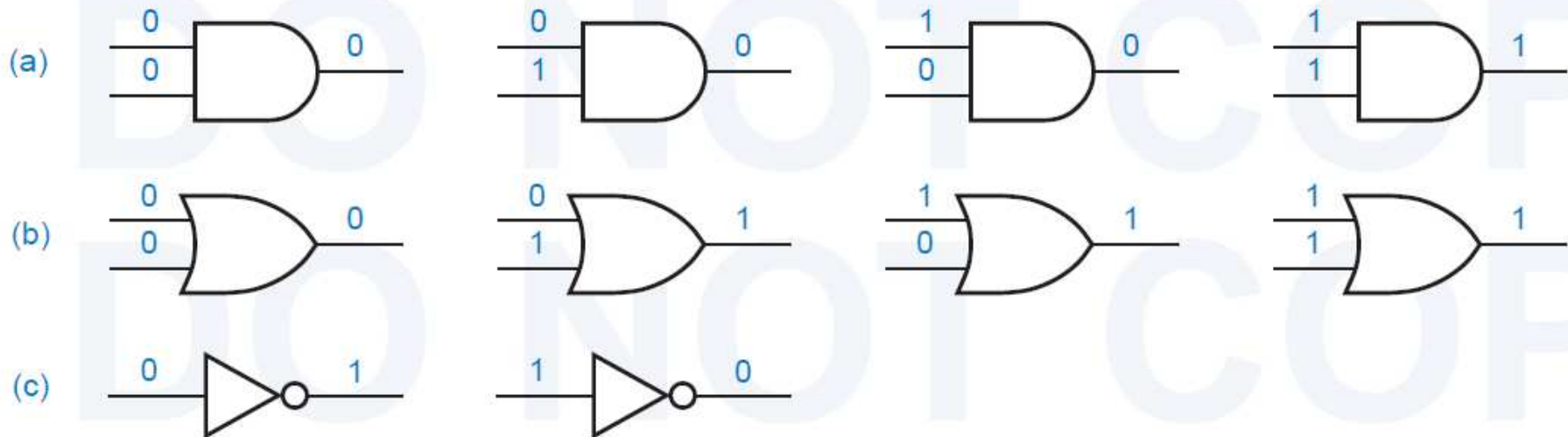
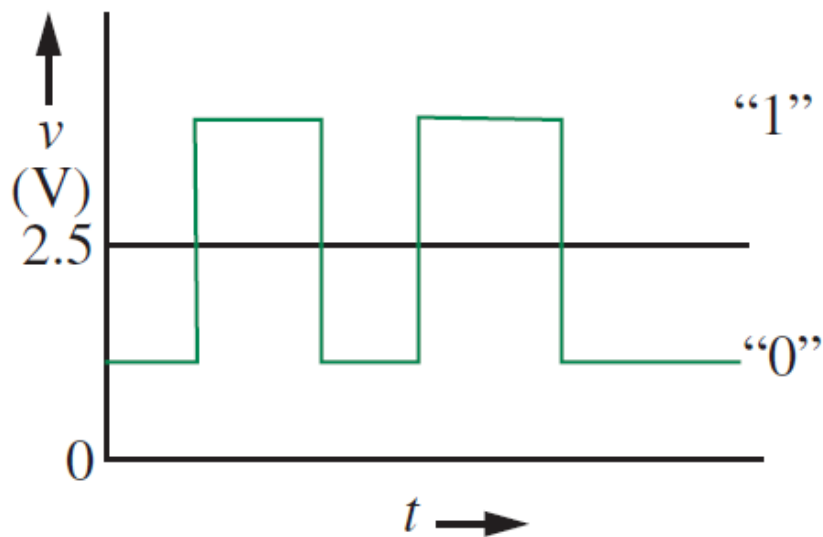


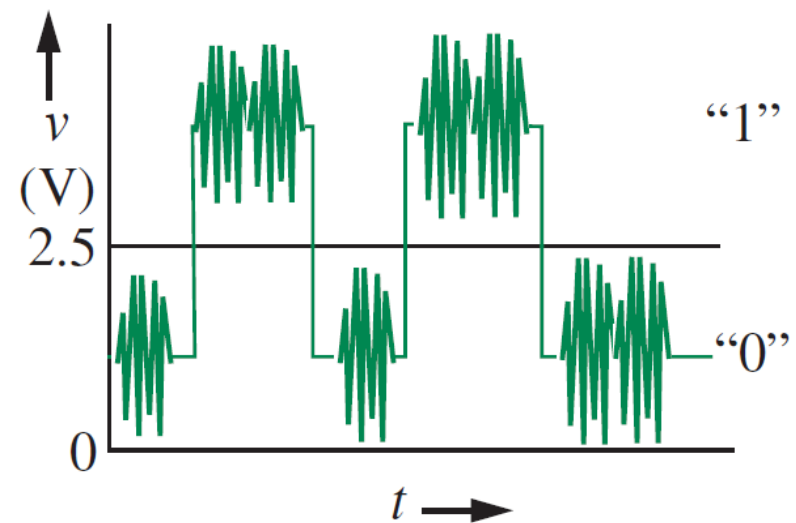
Figure 1-1 Digital devices: (a) AND gate; (b) OR gate; (c) NOT gate or inverter.

POTREBA ZA MARGINOM

- Prilikom prenosa signala (leva slika) dolazi do superpozicije efekata šuma, EM smetnji i drugih faktora čiji intenzitet može biti porediv sa signalom (desna slika)
- U takvim situacijama (čest slučaj!) poželjno je ograničiti složenost informacije koja se prenosi sa kontinualnog signala (teoretski beskonačno mnogo vrednosti, praktično zavisi od nivoa šuma) na skup simbola manjeg broja (minimalno 2!)
- U takvom ograničenom skupu mogu se određene zone vrednosti analognog signala koji prenosi informaciju dodeliti simbolima, tako da pojava šuma na signalu unutar te zone ne dovodi do pogrešne interpretacije simbola!



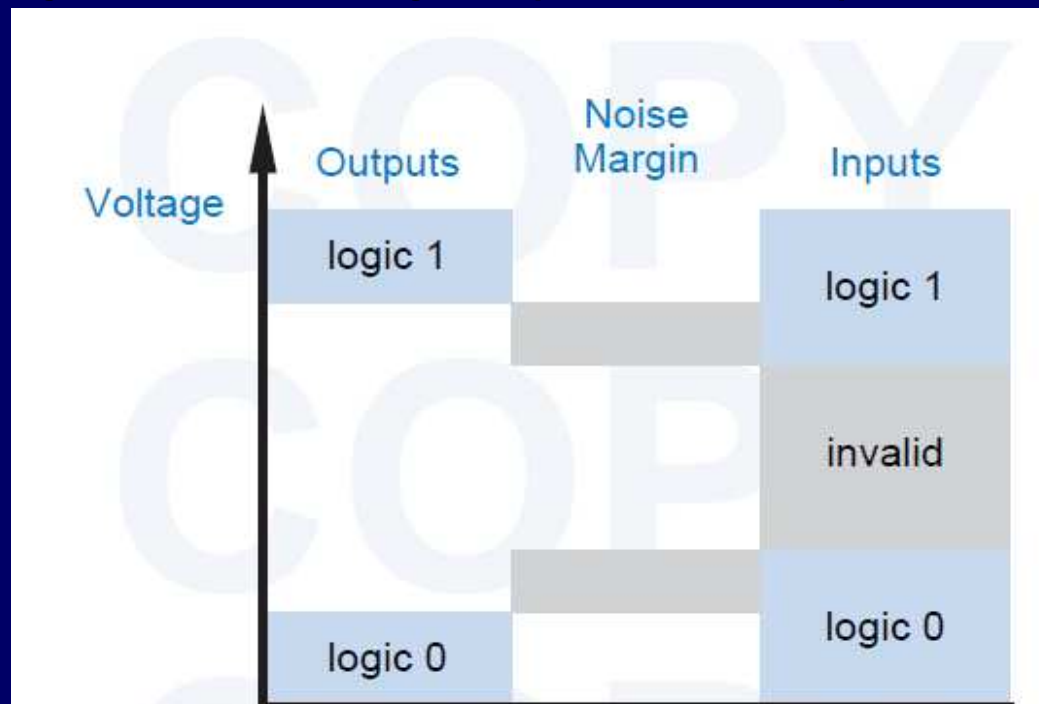
(a)



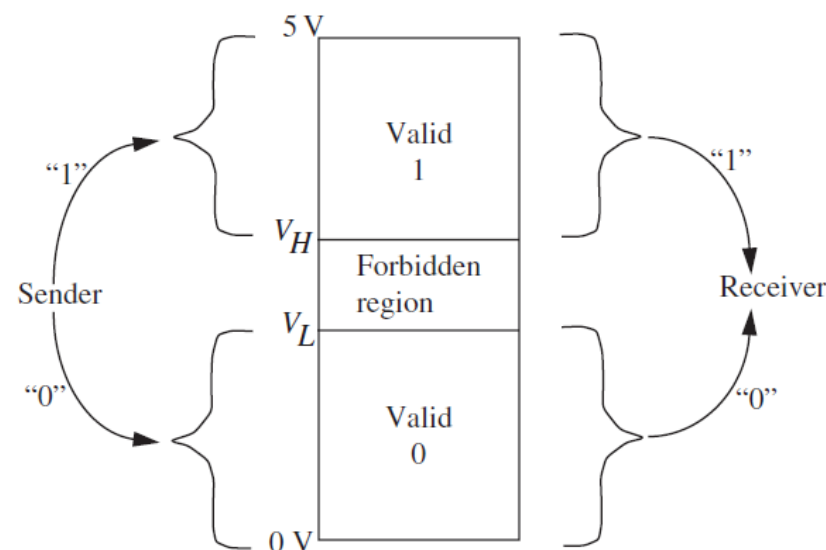
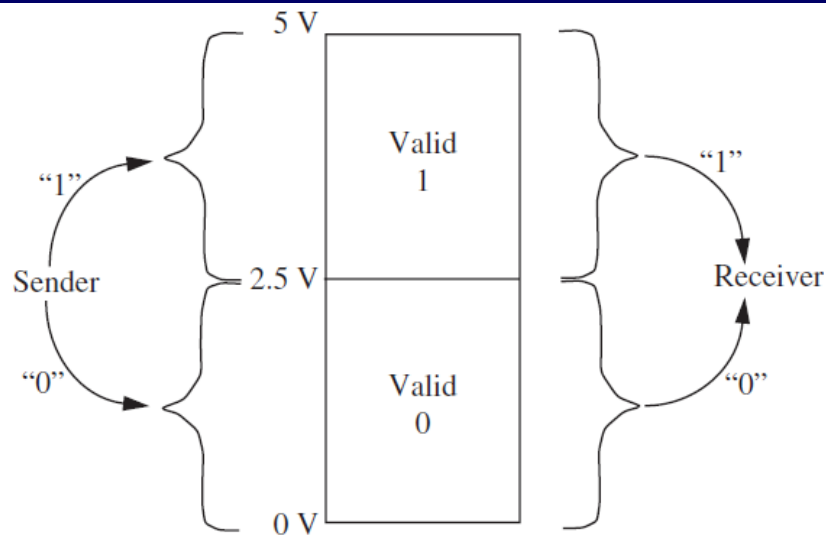
(b)

DIGITALNA APSTRAKCIJA

- Digitalna kola prenose signal (električni ekvivalent 0 ili 1) u vidu analognog napona ili struje
- Ovo za posledicu ima postojanje "sive zone" (*invalid*) kao skupa vrednosti signalne veličine u okviru kojeg se njena trenutna vrednost ne može interpretirati kao 0 ili 1
- Logička 0 ili 1 definišu se kao vrednosti unutar ograničenog skupa kontinualnih vrednosti signalne veličine (plavo na slici)
- Ova aproksimacija izaziva određene posledice u specifikacijama logičkih kola



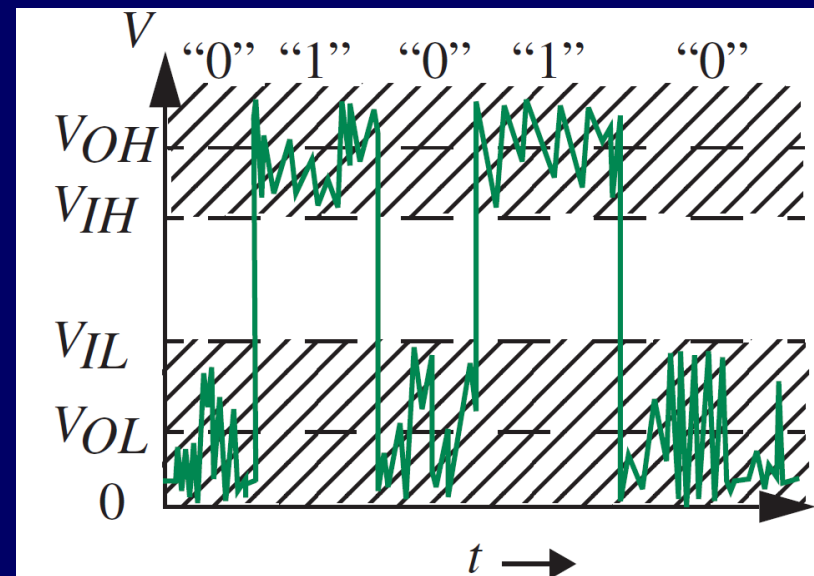
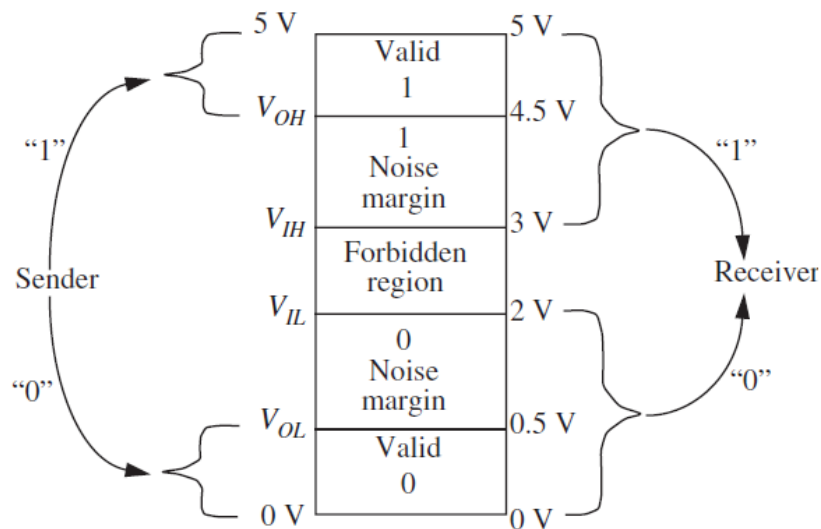
EVOLUCIJA MARGINE – SIVA ZONA



- Predajnik (*sender*) šalje logičke 0 i 1 kao vrednosti napona unutar zona *Valid 1* i *Valid 0*
- Predajnik ne sme poslati signal od 2.5V jer ga prijemnik (*receiver*) može interpretirati i kao logičku 0 i kao logičku jedinicu
- Stoga se definiše zabranjena ili siva zona (*forbidden region*) koja pretstavlja skup napona koje predajnik ne sme poslati ka prijemniku i tako se obezbedjuje nedvosmislenost interpretacije signala

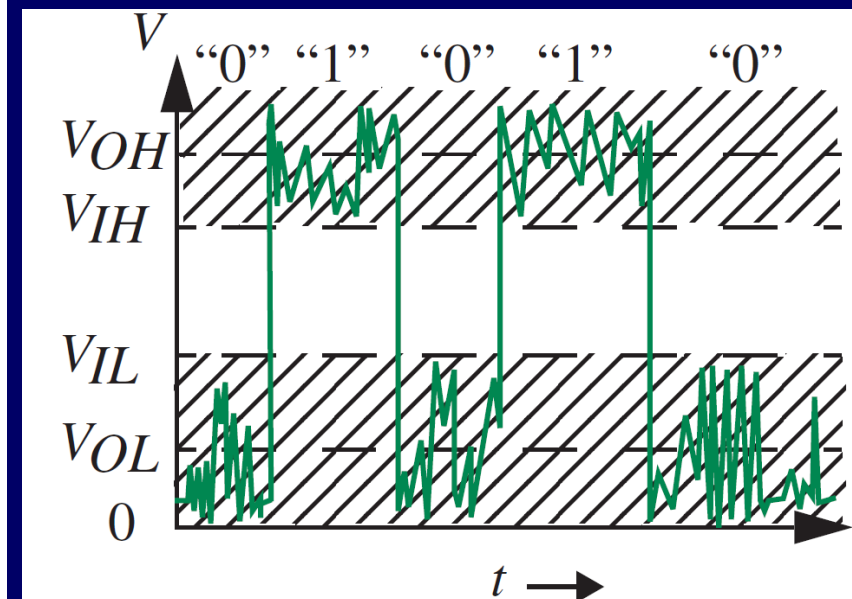
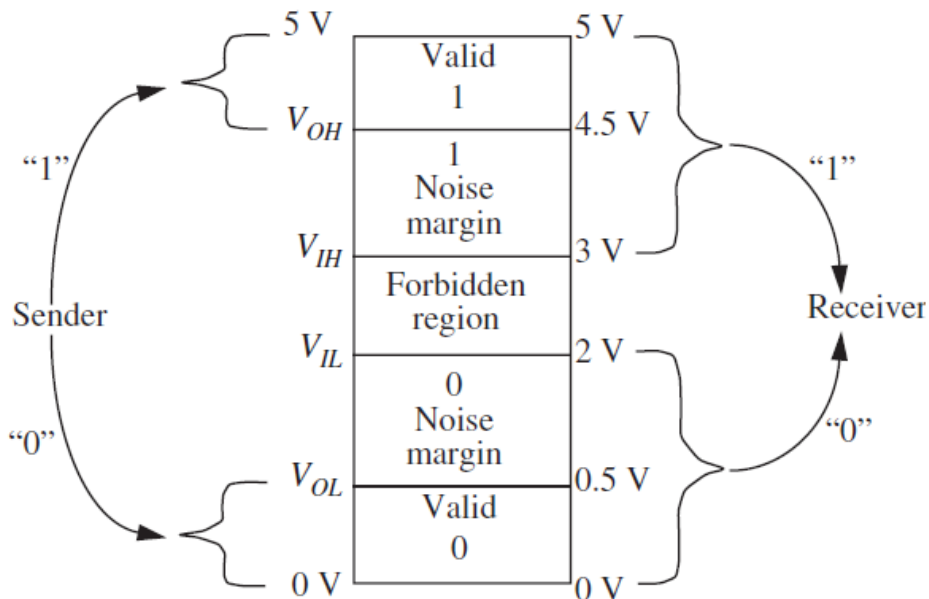
EVOLUCIJA MARGINE – UTICAJ ŠUMA

- Pojava smetnji velikih amplituda mogu dovesti do situacije da signal logičke 0 poslat sa naponom bliskim vrednosti V_{OL} može usled šuma dospeti u zabranjenu zonu što dovodi do moguće pogrešne interpretacije
- Stoga se ograničavaju vrednosti napona koje predajnik sme koristiti za signalizaciju i to tako da se formiraju nove zone unutar raspona napona
- Zona "1 Noise margin" leži izmedju zabranjene zone i zone napona koju predajnik može koristiti za slanje logičke 1 (*Valid 1*). Slično je i za zonu logičke 0
- Ove zone predstavljaju margine šuma (*Noise margin*) ili margine smetnji



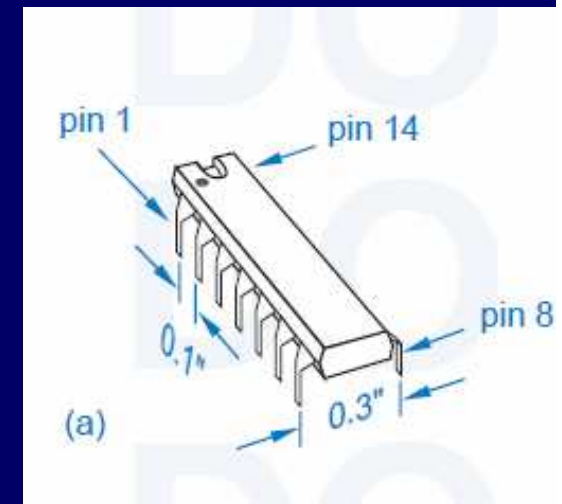
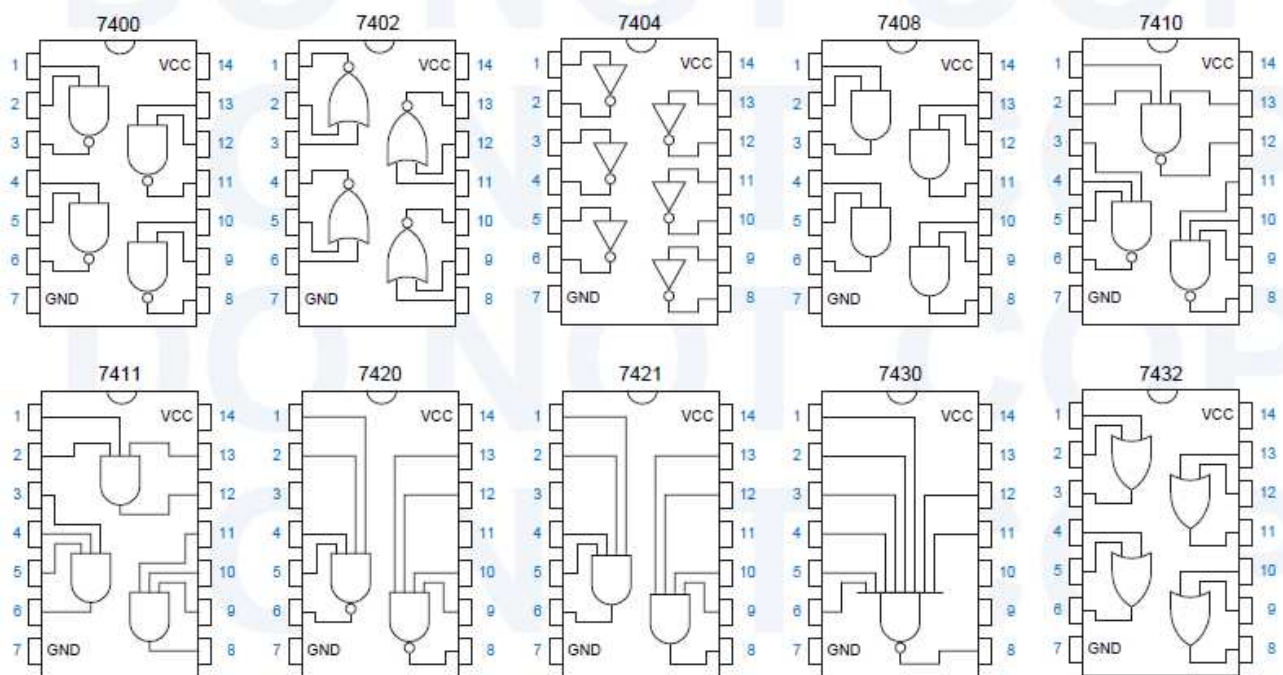
DEFINICIJE MARGINA ŠUMA

- Margine šuma su maksimalne amplitude smetnji na ulazu logičkog kola koje neće prevesti signal iz definisane zone u zabranjenu oblast
- Margina šuma logičke 0 definiše se kao $NM_0 = V_{IL} - V_{OL}$
- Margina šuma logičke 1 definiše se kao $NM_1 = V_{OH} - V_{IH}$
- Vrednost margine šuma određuje stepen imunosti logičkog kola na smetnje, veće vrednosti znače bolji imunitet i samim tim bolji rad kola
- Margine šuma su posledice unutrašnje arhitekture logičkih kola
- NM_0 ne mora biti jednako NM_1



DIGITALNA INTEGRISANA KOLA

- Veći broj osnovnih logičkih komponenata proizvedenih na istom poluprovodničkom čipu nazivamo digitalnim integrisanim kolom
- Vremenom su standardizovane osnovne logičke komponente sa određenom funkcijom i rasporedom pinova na kućištu integrisanog kola
- Ova standardizacija proizvela je familije standardnih diskretnih logičkih kola tzv. standardnih logičkih funkcija



ISTORIJSKA PODELA INTEGRISANIH LOGIČKIH KOLA PREMA GUSTINI

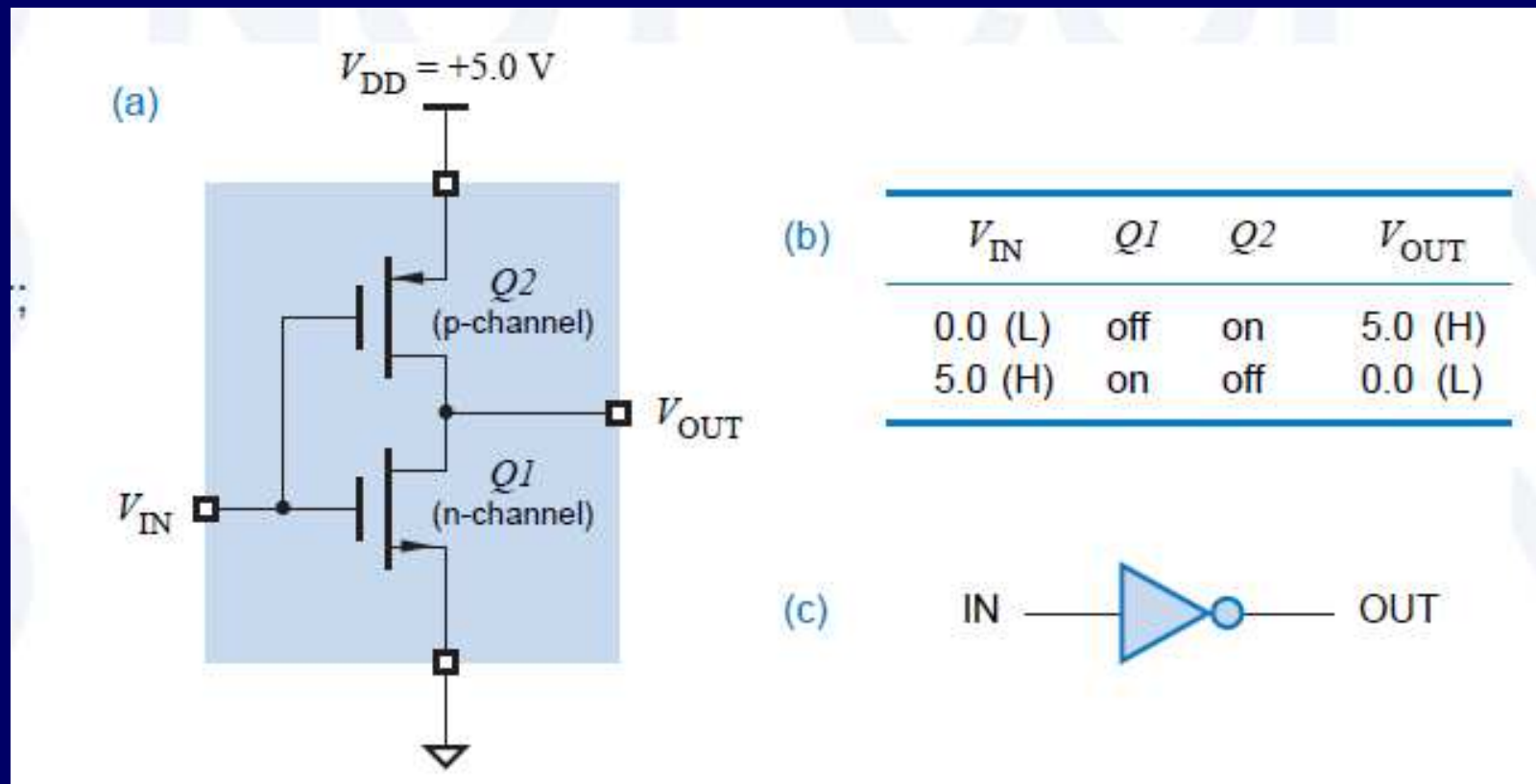
- Digitalna kola male gustine (*small scale integration – SSI*) – digitalna integrisana kola koja sadrže od 1 do 20 logičkih komponenata (*gates*), npr. elementarna logička kola, flip flop
- Digitalna kola srednje gustine (*medium scale integration – MSI*) – digitalna integrisana kola koja sadrže od 20 do 200 logičkih komponenata, npr. dekođer, brojač, registar
- Digitalna kola velike gustine (*large scale integration – LSI*) – digitalna integrisana kola koja sadrže od 200 do 200000 logičkih komponenata, npr. memorije, procesori, programabilna logička kola
- Digitalna kola vrlo velike gustine (*very large scale integration – VLSI*) – digitalna integrisana kola koja sadrže preko 1000000 logičkih komponenata

Processor	Transistor count	Date of introduction	Manufacturer
Intel 4004	2,300	1971	Intel
Intel 8008	2,500	1972	Intel
Intel 8080	4,500	1974	Intel
Intel 8088	29,000	1979	Intel
Intel 80286	134,000	1982	Intel
Intel 80386	275,000	1985	Intel
Intel 80486	1,200,000	1989	Intel
Pentium	3,100,000	1993	Intel
AMD K5	4,300,000	1996	AMD
Pentium II	7,500,000	1997	Intel
AMD K6	8,800,000	1997	AMD
Pentium III	9,500,000	1999	Intel
AMD K6-III	21,300,000	1999	AMD
AMD K7	22,000,000	1999	AMD
Pentium 4	42,000,000	2000	Intel
Atom	47,000,000	2008	Intel
Barton	54,300,000	2003	AMD
AMD K8	105,900,000	2003	AMD
Itanium 2	220,000,000	2003	Intel
Cell	241,000,000	2006	Sony/IBM/Toshiba
Core 2 Duo	291,000,000	2006	Intel
AMD K10	463,000,000	2007	AMD
Core 2 Quad	582,000,000	2006	Intel
Itanium 2 with 9MB cache	592,000,000	2004	Intel
Core i7 (Quad)	731,000,000	2008	Intel
POWER6	789,000,000	2007	IBM
Dual-Core Itanium 2	1,700,000,000	2006	Intel

CMOS LOGIČKA KOLA

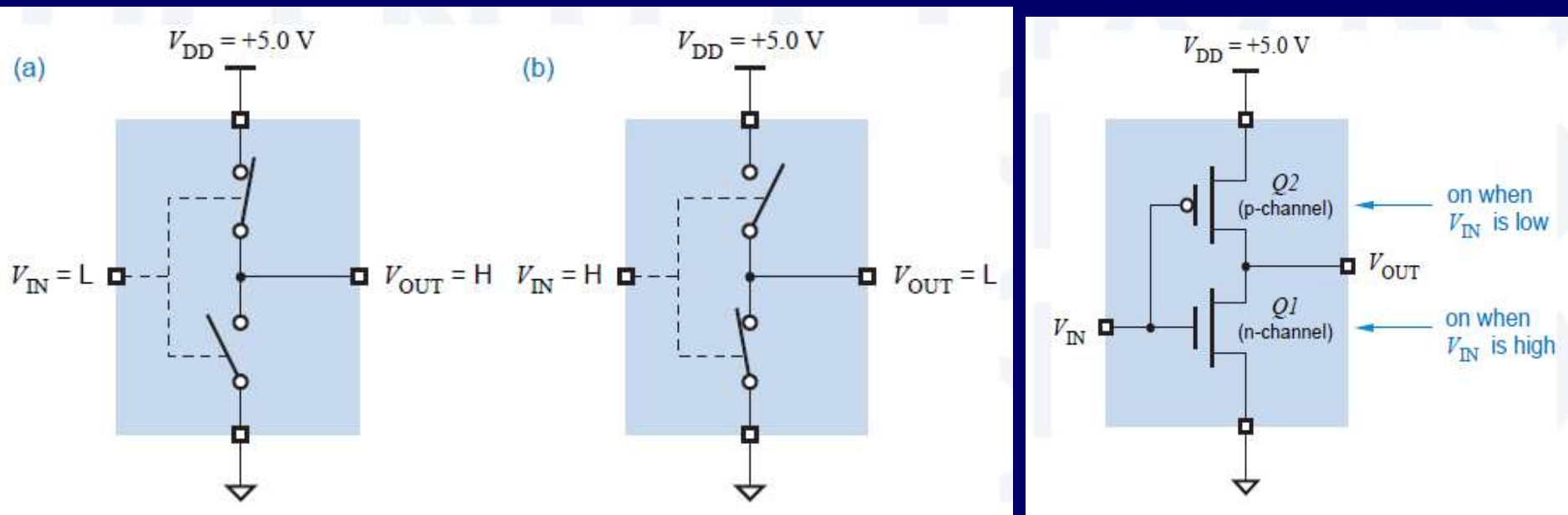
CMOS INVERTER

- Jednostavna mikroelektronska struktura koja obavlja osnovnu logičku operaciju (ne računajući buferovanje) pri čemu ispoljava električna svojstva bliska idealnom logičkom kolu



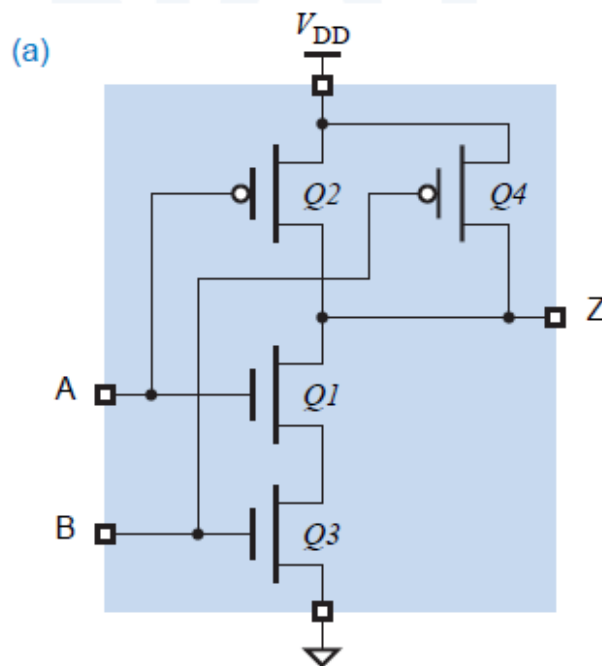
LOGIČKA STANJA CMOS INVERTERA

- Na slici a je stanje logičke nule na ulazu, Q1 je zakočen, Q2 vodi, izmedju izlaza i V_{DD} je samo mala otpornost otvorenog kanala Q2, na izlazu je napon približno V_{DD}
- Na slici b je stanje logičke jedinice na ulazu, Q2 je zakočen, Q1 vodi, izmedju izlaza i mase je samo mala otpornost otvorenog kanala Q1, na izlazu je napon približno 0V
- Krajnja desna slika prikazuje alternativno logičko obeležavanje MOS tranzistora



CMOS NAND (NI) KOLO

- Na slici a je prikazana električna šema CMOS NI kola
- Na slici b je funkcionalna tabela (*function table*)
- Na slici c je simbol NI kola (univerzalan, nije samo za CMOS tip)



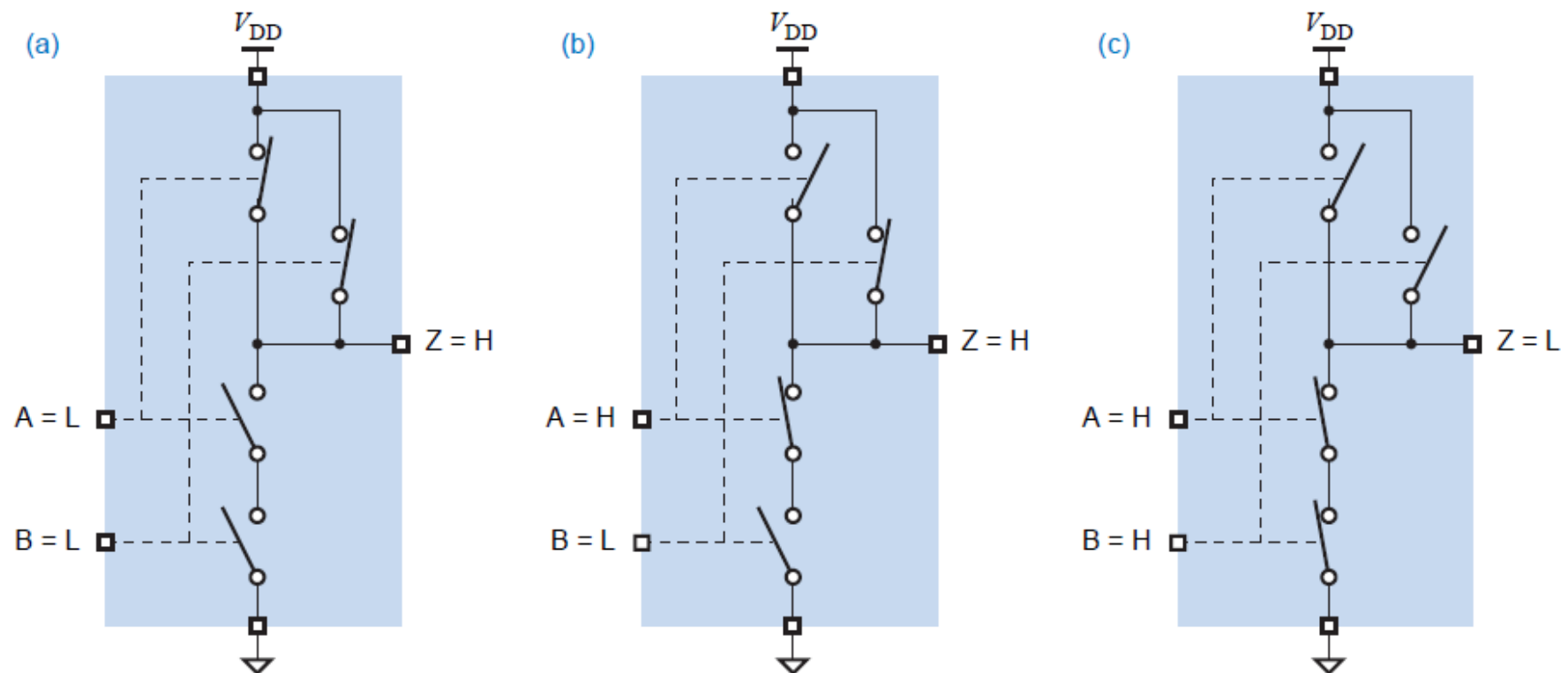
(b)

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L



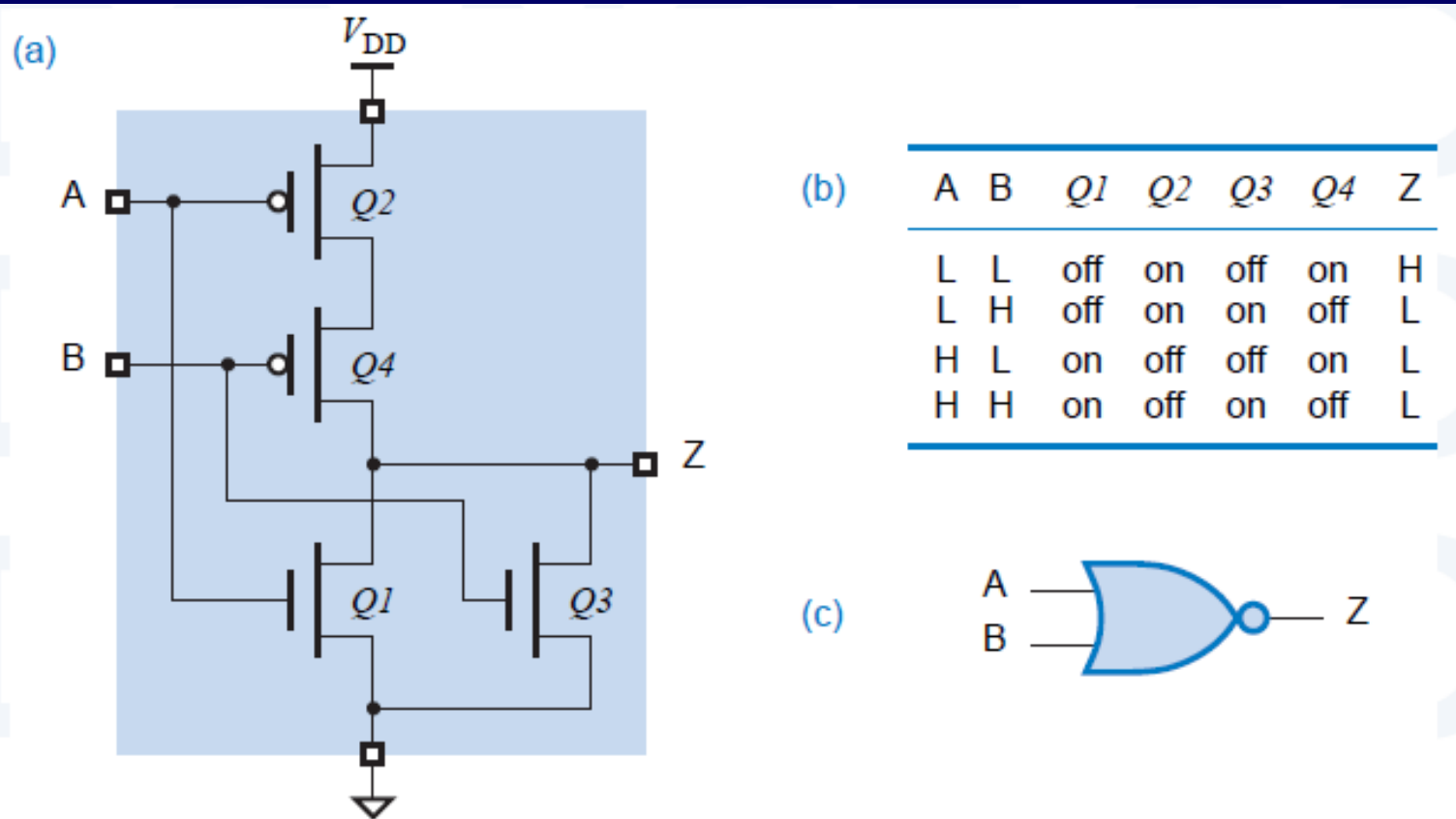
IMPLEMENTACIJA NI FUNKCIJE

- Na slikama su prikazane 3 od 4 moguće kombinacije logičkih stanja na ulazu (2 kombinacije su identične sa funkcionalnog stanovišta) gde su CMOS tranzistori modelirani prekidačima



CMOS NOR (NILI) KOLO

- Na slici a je prikazana električna šema CMOS NILI kola
- Na slici b je funkcionalna tabela (*function table*)
- Na slici c je simbol NILI kola (univerzalan, nije samo za CMOS tip)



PROŠIRENJE ULAZNOG KAPACITETA

- U praksi je često potrebno koristiti logička kola sa velikim brojem ulaznih grana, što se u CMOS familiji lako realizuje paralelno serijskim proširivanjem električne strukture
- Fundamentalno ograničenje je posledica sabiranja otpornosti kanala vezanih na red koje se sabiraju i dovode do pada napona koji smanjuje margine šuma

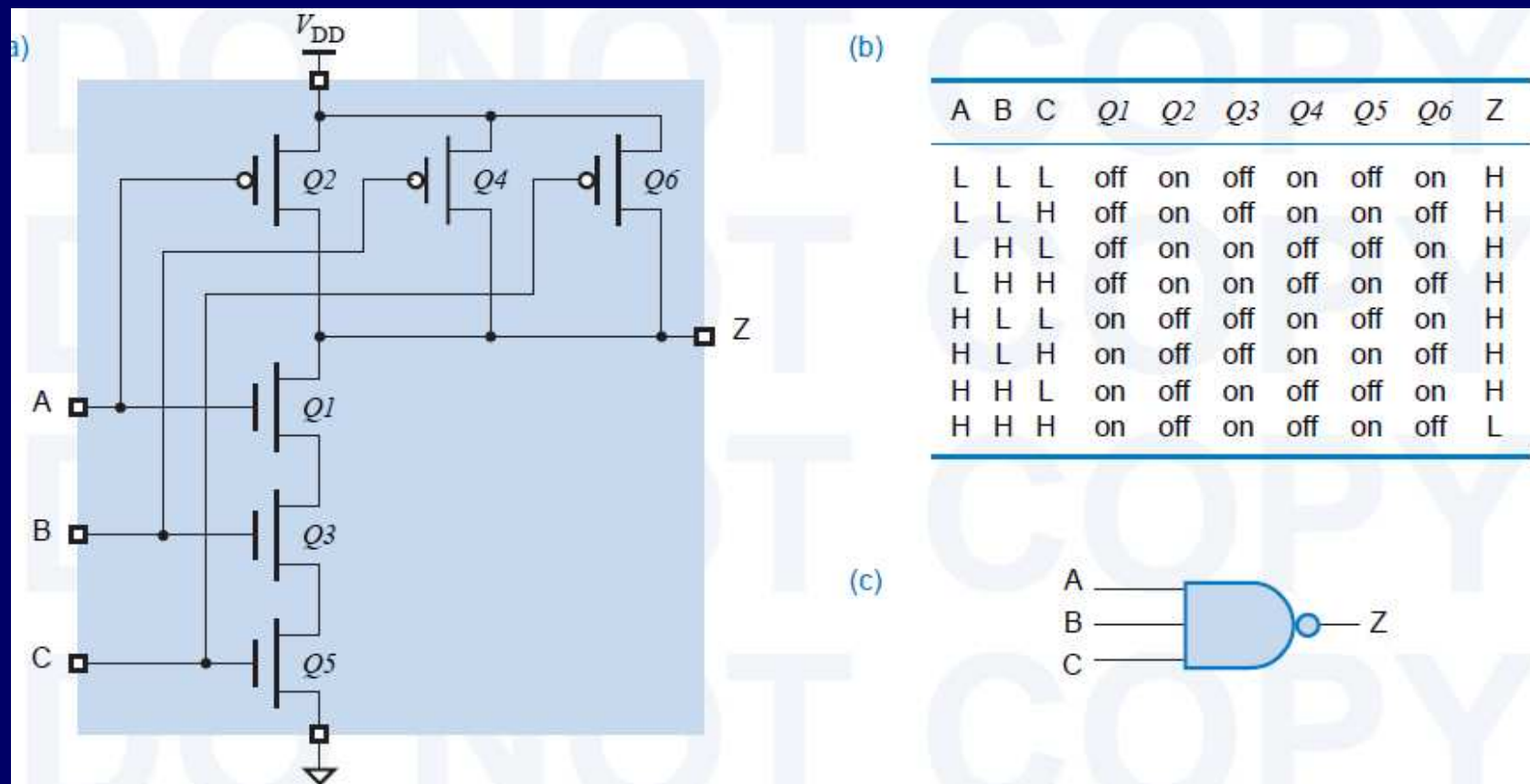
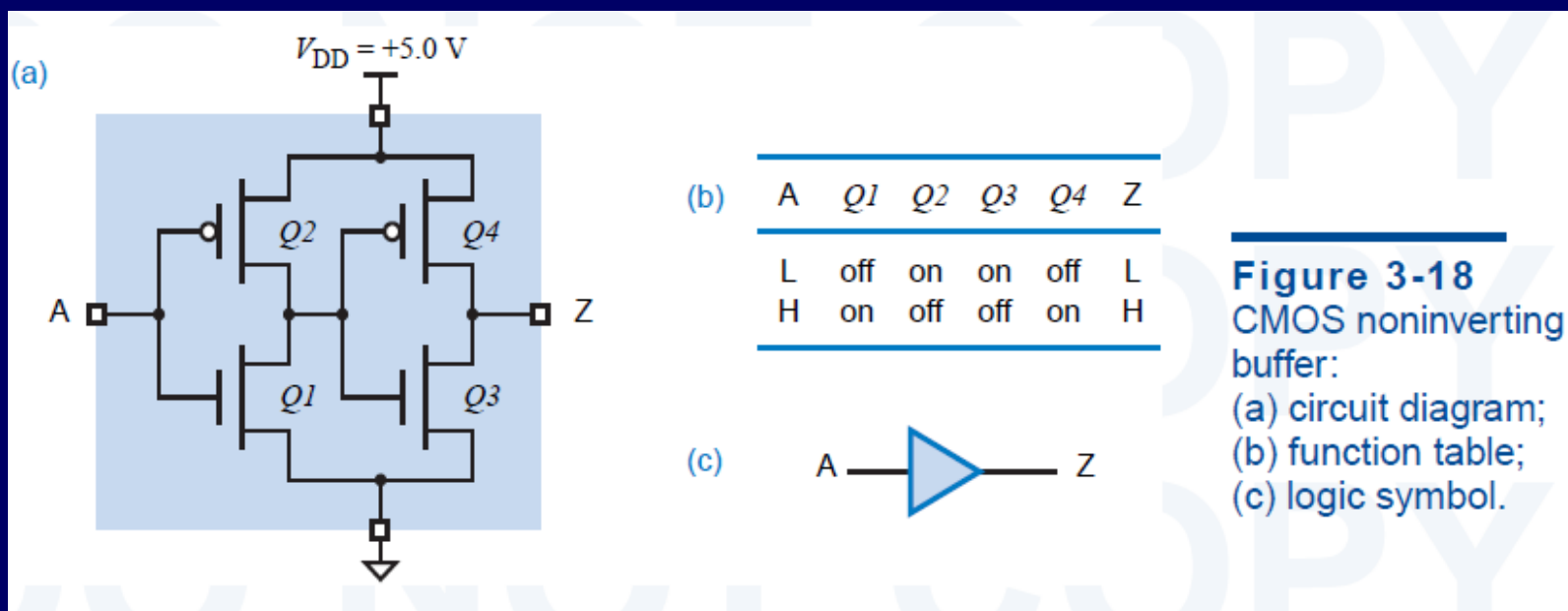


Figure 3-16 CMOS 3-input NAND gate: (a) circuit diagram; (b) function table; (c) logic symbol.

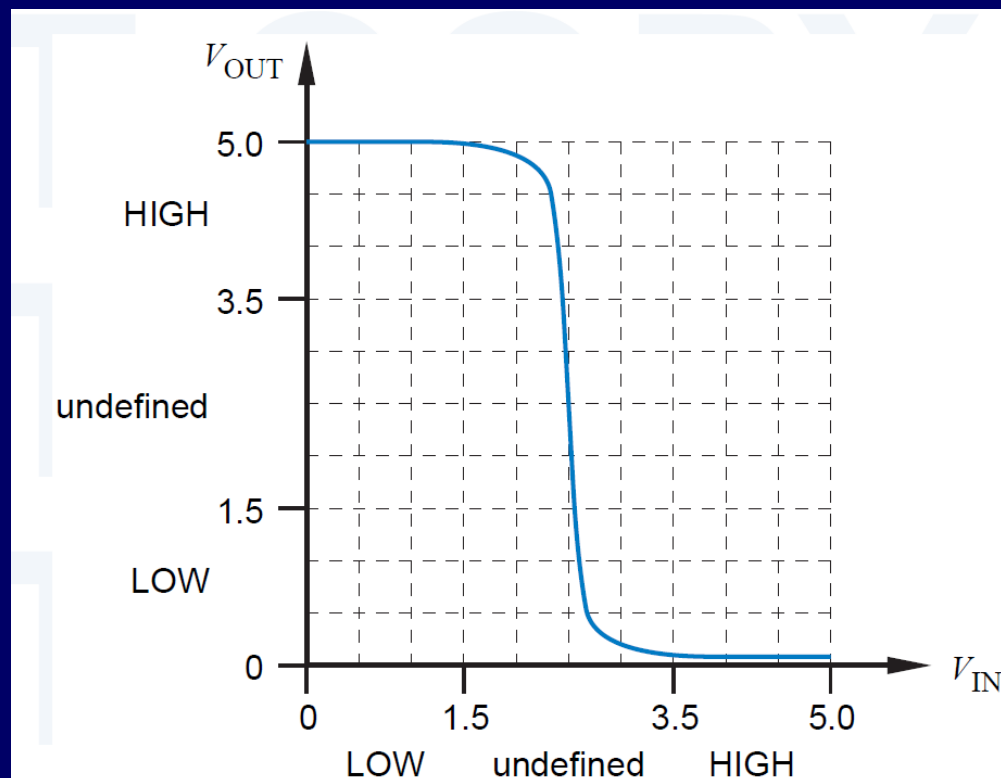
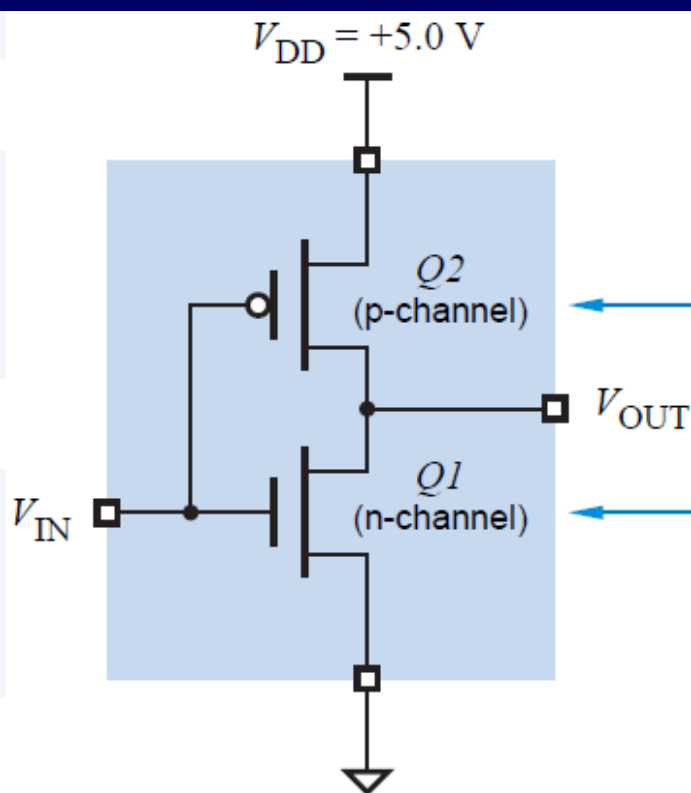
OSNOVNA NEINVERTUJUĆA LOGIČKA FUNKCIJA – BAFER (*buffer*)

- Realizacija neinvertujućih logičkih funkcija zahteva više tranzistora od invertujućeg ekvivalenta pošto je elementarna CMOS struktura po prirodi invertujuća
- Praktična realizacija postiže se vezivanjem invertora na izlaz invertujuće logičke funkcije



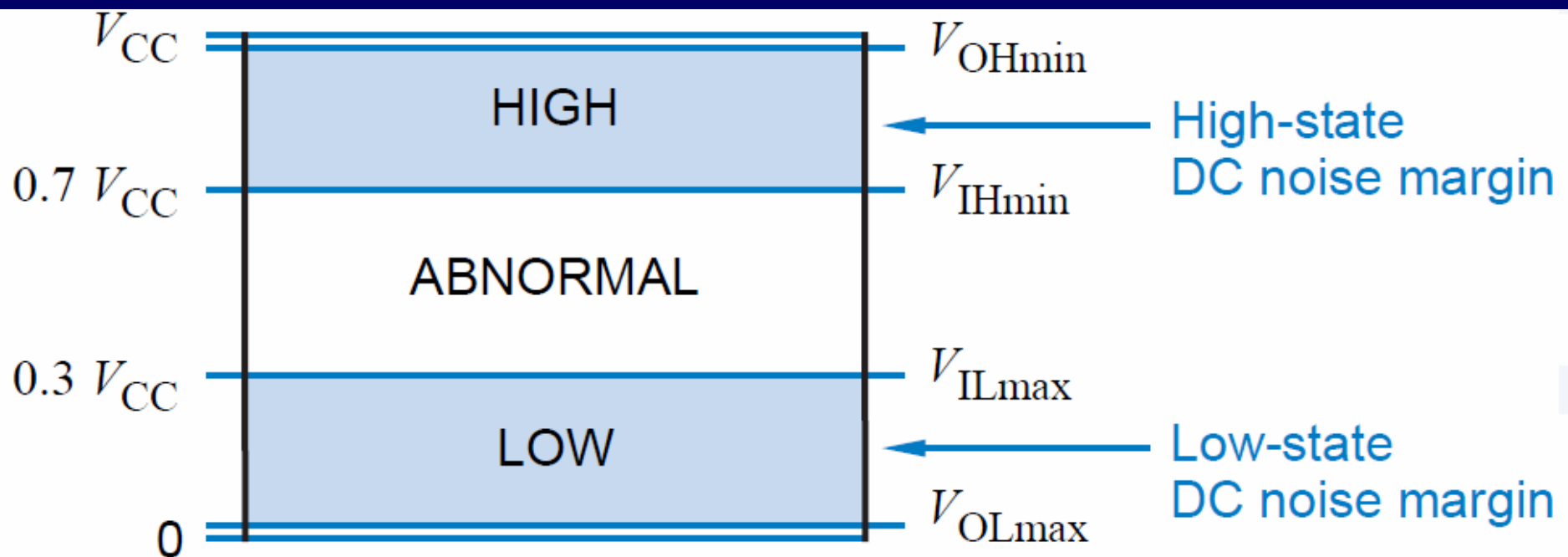
STATIČKA KARAKTERISTIKA CMOS INVERTERA

- Zaštitni znak CMOS logičkih familija, kriva zavisnosti analognog izlaznog napona CMOS invertera u funkciji vrednosti analognog ulaznog napona
- Na dijagramu se lepo vide zone napona definisane za logičku 0 (od 0V do 1.5V) i za logičku 1 (od 3.5V do 5V) i nedefisana (siva) zona izmedju
- Zone za logičku 0 i 1 se ne mogu proširiti unutar nedefisane zone jer je ova kriva tipična, značajno se razlikuje od komada do komada u serijskoj proizvodnji, tako da su opsezi zona formirani na osnovu tolerancije!

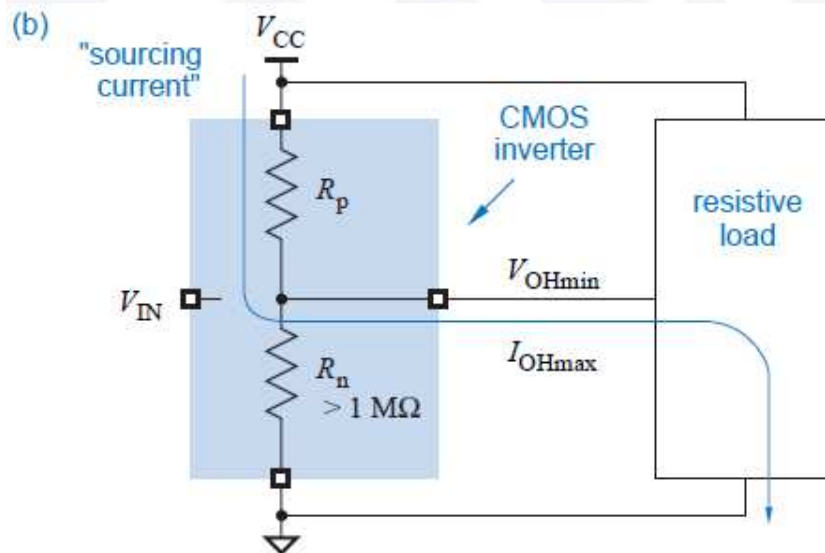
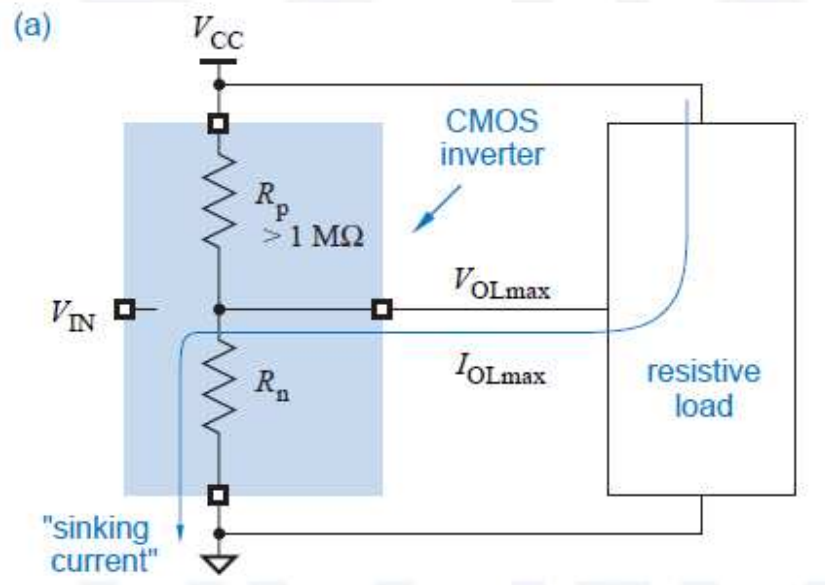


STATIČKA SPECIFIKACIJA CMOS FAMILIJA

- Proizvodjači specificiraju sledeće parametre statičke karakteristike
 - V_{OHmin} minimalna vrednost izlaznog napona pri stanju logičke jedinice, tip. $V_{CC}-0.1V$
 - V_{IHmin} minimalna vrednost ulaznog napona koje će biti prepoznato kao logička jedinica, tip. 70% od V_{CC}
 - V_{ILmax} maksimalna vrednost ulaznog napona koje će biti prepoznato kao logička nula, tip. 30% od V_{CC}
 - V_{OLmax} maksimalna vrednost izlaznog napona pri stanju logičke nule, tip. $GND+0.1V$
- U tzv. pozitivnoj logici stanje 0 je nižeg napona i obeležava se oznakom LOW, a stanje 1 je višeg napona i obeležava se oznakom HIGH. Oznake HIGH i LOW su generičke, u tzv. negativnoj logici 0 je HIGH a 1 je LOW



EFEKAT OPTEREĆENA NA CMOS KOLA



■ Gornja slika predstavlja ekvivalentnu šemu izlaznog stepena CMOS kola u stanju logičke nule. N MOS radi u omskom režimu i modelira se otpornikom R_n (tip. 100Ω), dok je p MOS zakočen i modelira se sa otpornikom od $1\text{ M}\Omega$

■ Donja slika predstavlja ekvivalentnu šemu izlaznog stepena CMOS kola u stanju logičke jedinice. P MOS radi u omskom režimu i modelira se otpornikom R_p (tip. 200Ω), dok je n MOS zakočen i modelira se sa otpornikom od $1\text{ M}\Omega$

■ Struja koja protiče kroz izlaz smanjuje napon logičke 1 ili povećava napon logičke 0 i mora se voditi računa da ostane unutar margine

■ Specifikacija se daje preko

■ I_{OLmax} – maksimalna struja u stanju logičke 0

SPECIFIKACIJA IZLAZNOG STEPENA CMOS KOLA

- Specifikacija strujnog kapaciteta izlaznog stepena CMOS kola daje se preko tabela za dva karakteristična slučaja:
 - kada je opterećenje drugo CMOS kolo koje se efektivno ponaša kao otvorena veza
 - kada je opterećenje TTL kolo koje zahteva do 4mA struje
- Daju se strujno naponski parovi (vrednost napona na izlazu CMOS kola u LOW ili HIGH stanju) pri vrednosti struje koja teče na izlaznom pinu
- Primititi da PMOS tranzistor u izlaznom stepenu ima veću otpornost kanala i samim tim pad napona na njemu pri proticanju struje (HIGH stanje) je veći što dovodi do znatno manjeg napona logičke 1

Parameter	CMOS load		TTL load	
	Name	Value	Name	Value
Maximum LOW-state output current (mA)	I_{OLmaxC}	0.02	I_{OLmaxT}	4.0
Maximum LOW-state output voltage (V)	V_{OLmaxC}	0.1	V_{OLmaxT}	0.33
Maximum HIGH-state output current (mA)	I_{OHmaxC}	-0.02	I_{OHmaxT}	-4.0
Minimum HIGH-state output voltage (V)	V_{OHminC}	4.4	V_{OHminT}	3.84

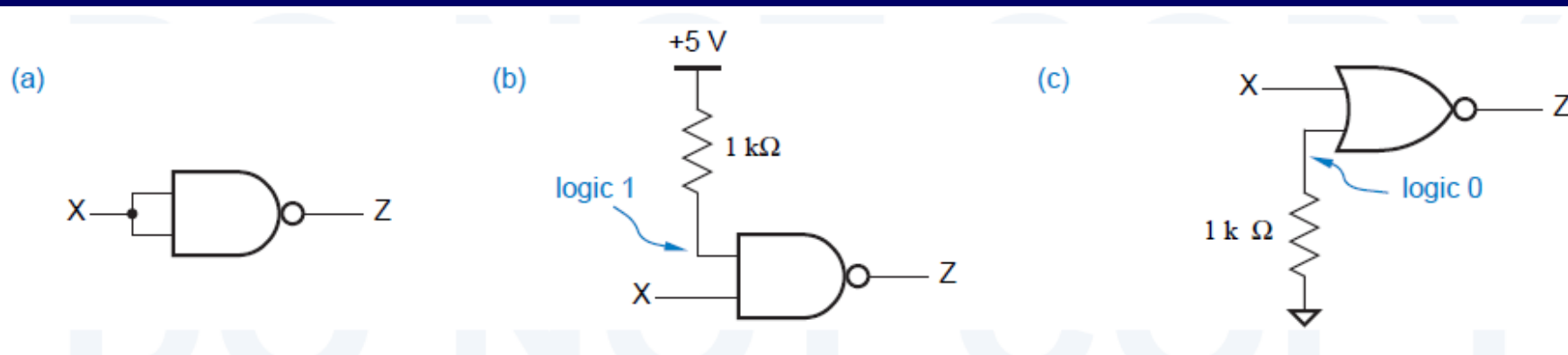
FAKTOR GRANANJA ILI LOGIČKI KAPACITET

fanout

- Iz prethodne diskusije jasno je da priključivanje velikog broja logičkih kola na izlaz jednog kola dovodi do povećanja vrednosti struje na izlaznom stepenu tog logičkog kola. Posledica je smanjivanje margine šuma pošto otpornost MOS tranzistora proizvodi sa izlaznom strujom takav pad napona.
- Granice do koje se napon sme promeniti su V_{OHmin} i V_{OLmax} što znači da se na izlaz svakog logičkog kola može priključiti ograničen broj drugih logičkih kola
- Faktor grananja se definiše kao maksimalan broj logičkih kola koji se može priključiti na kolo koje se testira a da pri tome vrednosti izlaznog napona ostane u odredjenim granicama. Faktori grananja za HIGH i LOW stanje ne moraju biti jednaki.
- Za CMOS kola specificirana na prethodnoj strani, uzevši u obzir da je ulazna struja u CMOS kolo manja od $1\mu A$, pri CMOS specifikaciji može se izračunati da su faktori grananja za stanje HIGH i LOW jednaki i iznose 20. Ovako izračunat faktor grananja zove se još i statički faktor grananja (*DC fanout*) pošto logička kola ne menjaju logičko stanje.
- Ukoliko se predje na TTL specifikaciju, sa nešto manjim marginama šuma, tada faktori grananja iznose oko 4000!
- Dodatan problem predstavlja prelazni režim pri promeni stanja! (*AC fanout*)

VEZIVANJE NEISKORIŠTENIH ULAZA *unused inputs*

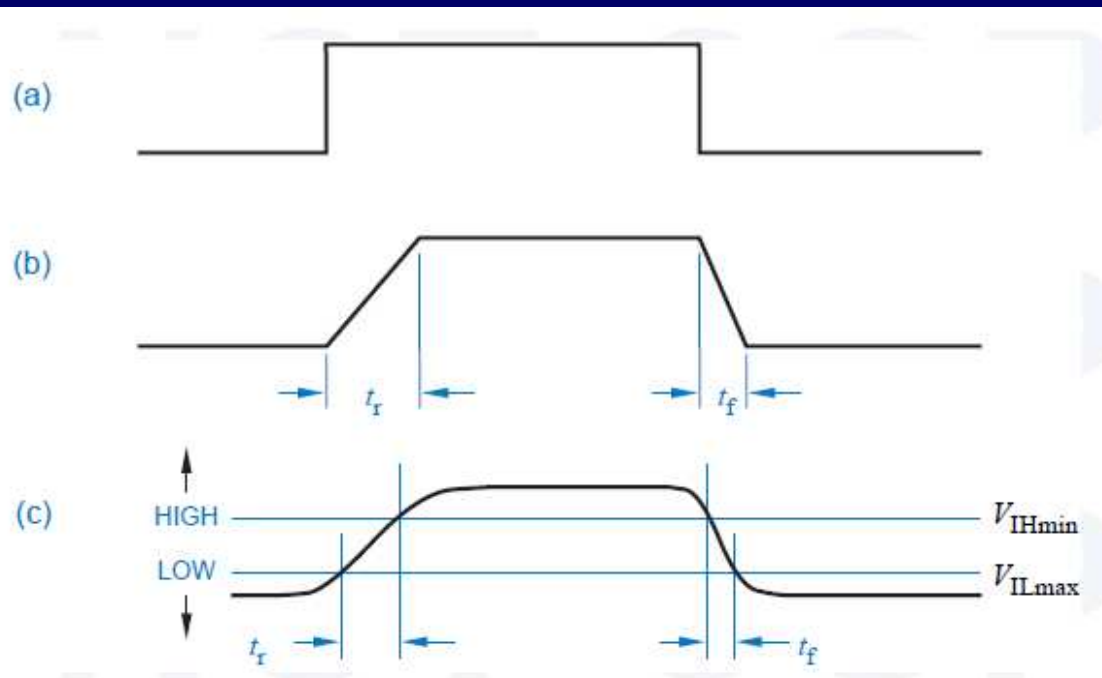
- Ulazni terminali koji se ne koriste u realizaciji logičke funkcije ne smeju se ostavljati nepovezani, pošto je ta tačka povezana na gejtove CMOS kola koji predstavljaju visokoimpedansno opterećenje. Ovo znači da napon može uzeti bilo koju vrednost u zavisnosti od spoljašnih nekontrolabilnih faktora i tako izazvati promenu u ponašanju kola ili nedefinisana stanja
- Ovaj problem se rešava:
 - direktnim vezivanjem ulaza na napon VCC ili GND
 - vezivanjem ulaza preko otpornika ka VCC ili GND (*pull up* ili *pull down* otpornik)
 - povezivanjem na upotrebljeni ulaz tako da se ne promeni logička funkcija koja se realizuje



PRELAZNI REŽIM

dynamic (AC) behavior

- Prelaznim režim predstavlja vremenski period u kojem logičko kolo menja svoje stanje na izlazu
- Logičko stanje ne može trenutno promeniti stanje na izlazu čak i ako je pobudjeno sa idealnom pobudom čija promena traje 0s, pošto se moraju napuniti ili isprazniti parazitetni kapaciteti na izlazu kola
- Slika (a) je idealizovana predstava napona na izlazu, slika (b) je prva aproksimacija (najčešće u upotrebi), a slika (c) je realno stanje

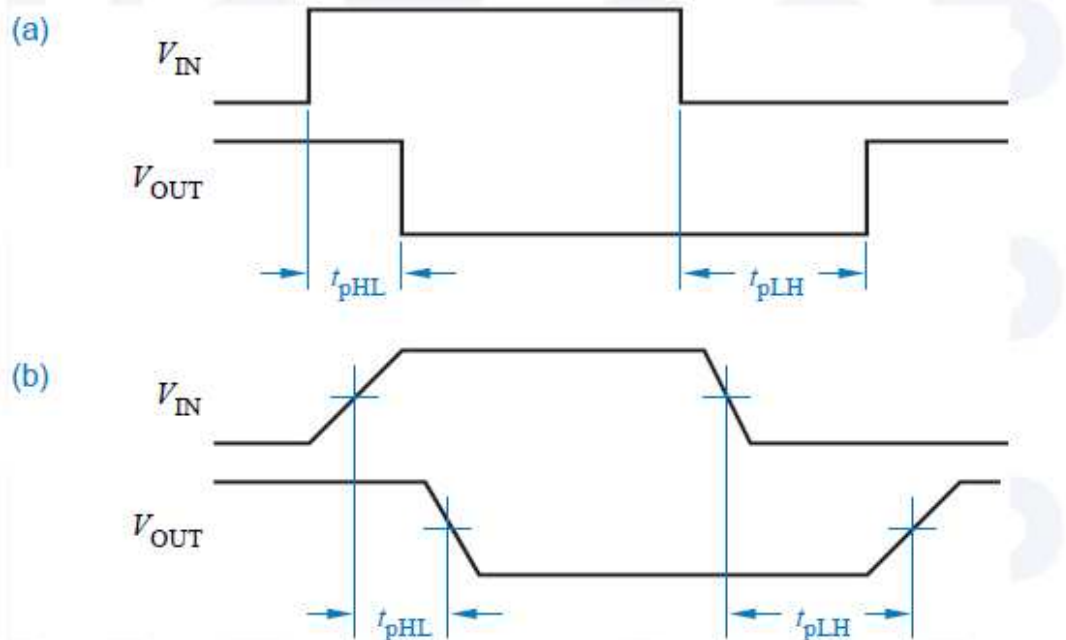


- t_r – vreme usponske ivice (*rise time*) je vreme potrebno da izlaz promeni stanje iz LOW u HIGH
- t_f – vreme silazne ivice (*fall time*) je vreme potrebno da izlaz promeni stanje iz HIGH u LOW

VREMENA KAŠNJENJA

propagation delay t_{pd}

- Vreme kašnjenja predstavlja vreme "reakcije" logičkog kola na pobudu, tj. vreme potrebno da izlaz logičkog kola promeni stanje u odnosu na trenutak promene stanja na ulazu kola
- Slika a predstavlja idealizovanu sliku procesa reakcije logičkog kola, slika b je nešto realniji prikaz koji se sreće u dokumentaciji
- Vreme kašnjenja je posledica propagacije signala u unutrašnjosti logičkog kola gde se takodje pune i prazne određene kapacitivnosti



■ t_{pHL} – vreme kašnjenja opadajuće ivice je vreme potrebno da izlaz promeni stanje iz HIGH u LOW kada ulaz promeni stanje

■ t_{pLH} – vreme kašnjenja opadajuće ivice je vreme potrebno da izlaz promeni stanje iz HIGH u LOW kada ulaz promeni stanje

POTROŠNJA (DISIPACIJA) CMOS KOLA

power (dissipation) consumption

- Statička disipacija (potrošnja) CMOS logičkih kola (režim u kome se ne menjaju logička stanja u kolima) je praktično zanemarljiva zbog male ulazne struje koja teče na ulazima u logička kola
- Dinamička disipacija CMOS logičkih kola može biti značajna i nastaje kao posledica disipacije u prelaznom režimu između dva stanja kada oba tranzistora u izlaznom stepenu vode. Ovakva pojava modelira se preko jednačine

$$P_T = C_{PD} V_{CC}^2 f$$

Gde su:

P_T – disipacija [W]

V_{CC} – napon napajanja [V]

f – frekvencija signala kojim se testira disipacija, u svakoj periodi signala postoje dve logičke promene

C_{PD} – disipacion kapacitivnost (*power dissipation capacitance*), konstanta koja ima dimenziju [F], ne predstavlja fizičku kapacitivnost u kolu već samo deo modela za disipaciju. Tipično ima vrednost nekoliko 10pF

POTROŠNJA (DISIPACIJA) CMOS KOLA

power (dissipation) consumption

- Dodatna dinamička disipacija CMOS logičkih kola nastaje kao posledica potrebe za punjenjem i pražnjenjem kapacitivnog optrećenja na izlazima logičkih kola i može se modelirati preko formule

$$P_L = C_L V_{CC}^2 f$$

Gde su:

P_L – disipacija [W]

V_{CC} – napon napajanja [V]

f – frekvencija signala kojim se testira disipacija, u svakoj periodi signala postoje dve logičke promene

C_L – realna kapacitivnost na izlazu kola koje se testira

- Ukupna disipacija CMOS logičkog kola sada ima formu

$$P = P_T + P_L = (C_L + C_T) V_{CC}^2 f$$

PROIZVODJAČKA DOKUMENTACIJA - HCMOS

DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE

The following conditions apply unless otherwise specified:

Commercial: $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$; Military: $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$

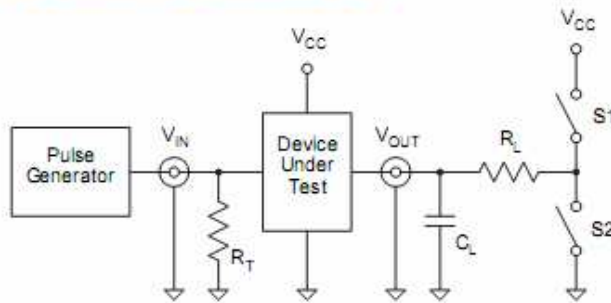
Sym.	Parameter	Test Conditions ⁽¹⁾		Min.	Typ. ⁽²⁾	Max.	Unit
V _{IH}	Input HIGH level	Guaranteed logic HIGH level		3.15	—	—	V
V _{IL}	Input LOW level	Guaranteed logic LOW level		—	—	1.35	V
I _{IH}	Input HIGH current	V _{CC} = Max., V _I = V _{CC}		—	—	1	μA
I _{IL}	Input LOW current	V _{CC} = Max., V _I = 0 V		—	—	−1	μA
V _{IK}	Clamp diode voltage	V _{CC} = Min., I _N = −18 mA		—	−0.7	−1.2	V
I _{IOS}	Short-circuit current	V _{CC} = Max., ⁽³⁾ V _O = GND		—	—	−35	mA
V _{OH}	Output HIGH voltage	V _{CC} = Min., V _{IN} = V _{IL}	I _{OH} = −20 μA	4.4	4.499	—	V
			I _{OH} = −4 mA	3.84	4.3	—	V
V _{OL}	Output LOW voltage	V _{CC} = Min., V _{IN} = V _{IH}	I _{OL} = 20 μA	—	.001	0.1	V
			I _{OL} = 4 mA		0.17	0.33	
I _{CC}	Quiescent power supply current	V _{CC} = Max., V _{IN} = GND or V _{CC} , I _O = 0		—	2	10	μA

SWITCHING CHARACTERISTICS OVER OPERATING RANGE, $C_L = 50\text{ pF}$

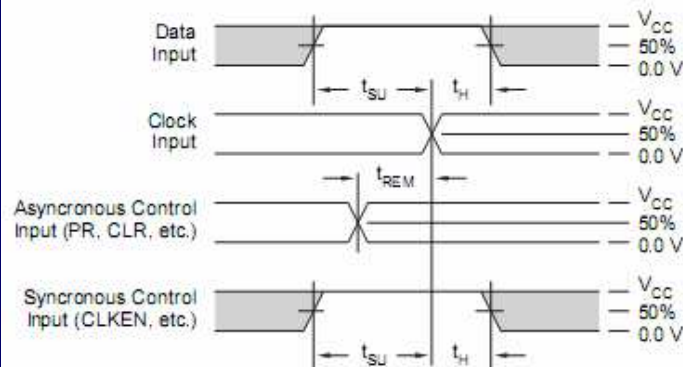
Sym.	Parameter ⁽⁴⁾	Test Conditions	Min.	Typ.	Max.	Unit
t_{PD}	Propagation delay	A or B to Y	—	9	19	ns
C_I	Input capacitance	$V_{IN} = 0\text{ V}$	—	3	10	pF
C_{pd}	Power dissipation capacitance per gate	No load	—	22	—	pF

PROIZVODJAČKA DOKUMENTACIJA - HCMOS

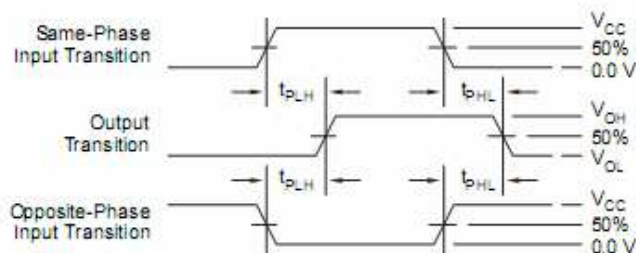
TEST CIRCUIT FOR ALL OUTPUTS



SETUP, HOLD, AND RELEASE TIMES



PROPAGATION DELAY



LOADING

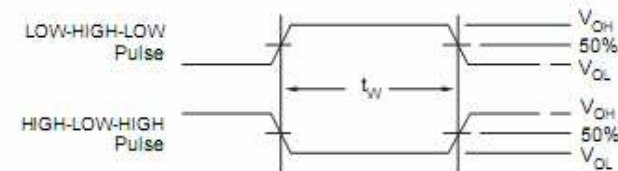
Parameter	R_L	C_L	S1	S2
t_{en}	1 K Ω	50 pF or 150 pF	Open	Closed
			Closed	Open
t_{dis}	1 K Ω		Open	Closed
			Closed	Open
t_{pd}	—	50 pF or 150 pF	Open	Open

DEFINITIONS:

C_L = Load capacitance, includes jig and probe capacitance.

R_T = Termination resistance, should equal Z_{OUT} of the Pulse Generator.

PULSE WIDTH



THREE-STATE ENABLE AND DISABLE TIMES

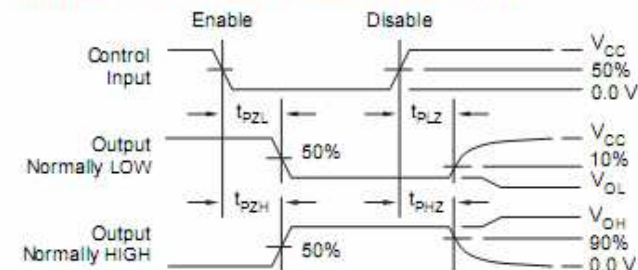
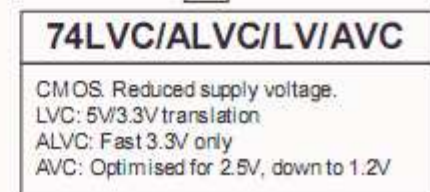
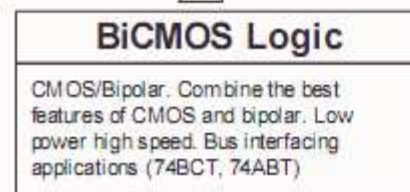
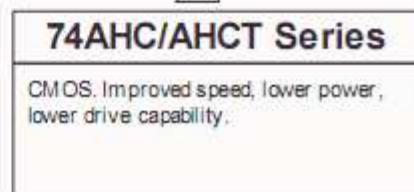
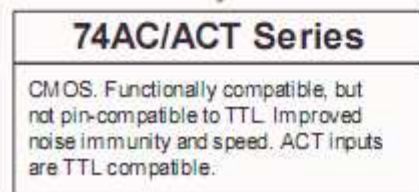
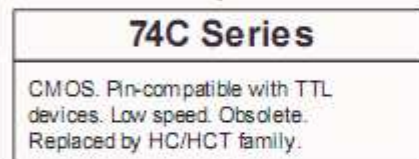
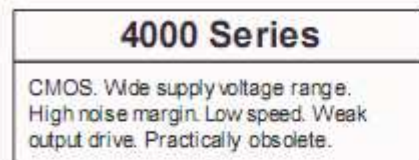


Figure 3-24 Test circuits and waveforms for HC-series logic.

EVOLUCIJA CMOS LOGIČKIH FAMILIJA

Logic Families/CMOS/Logic Evolution

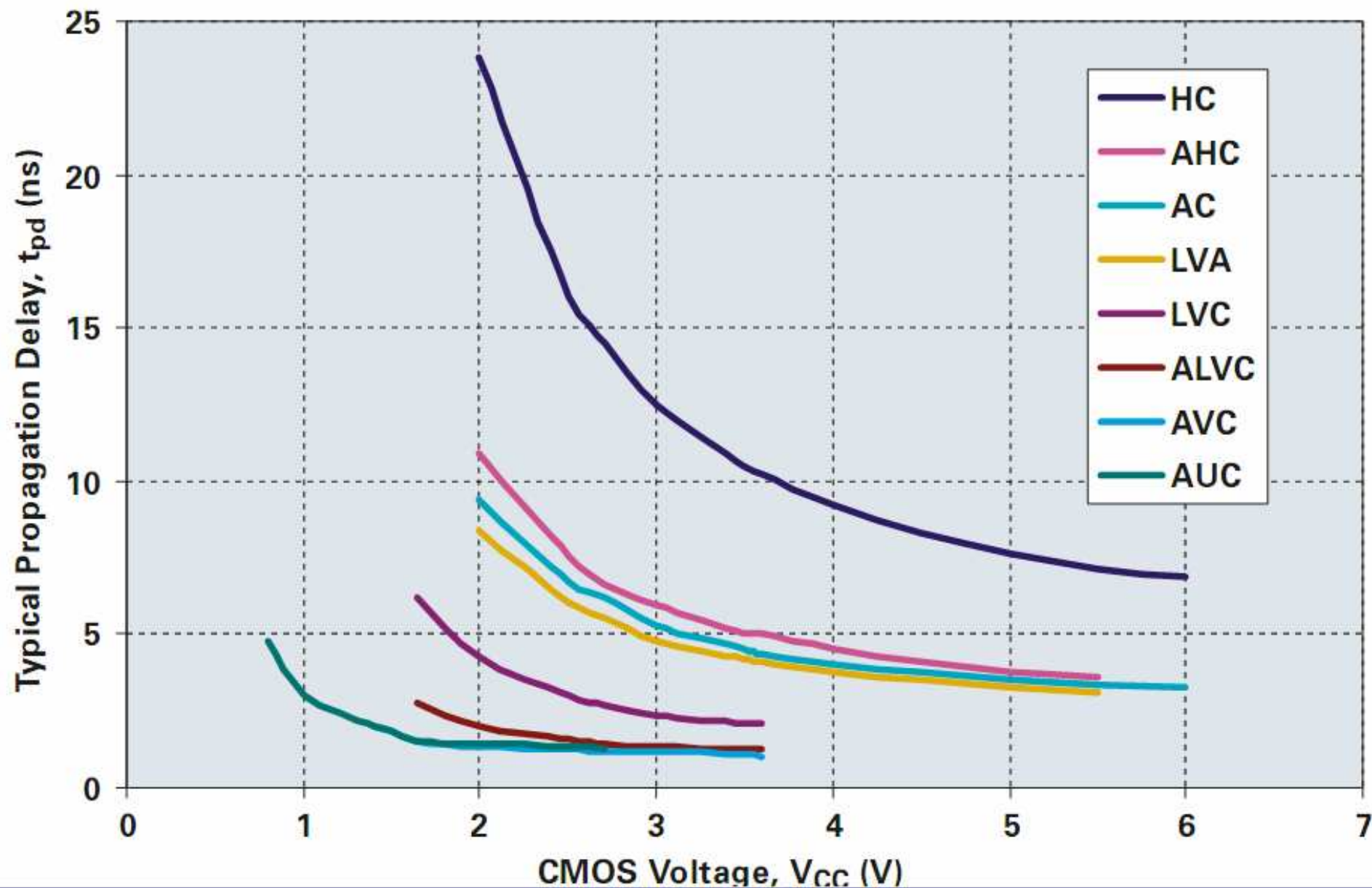


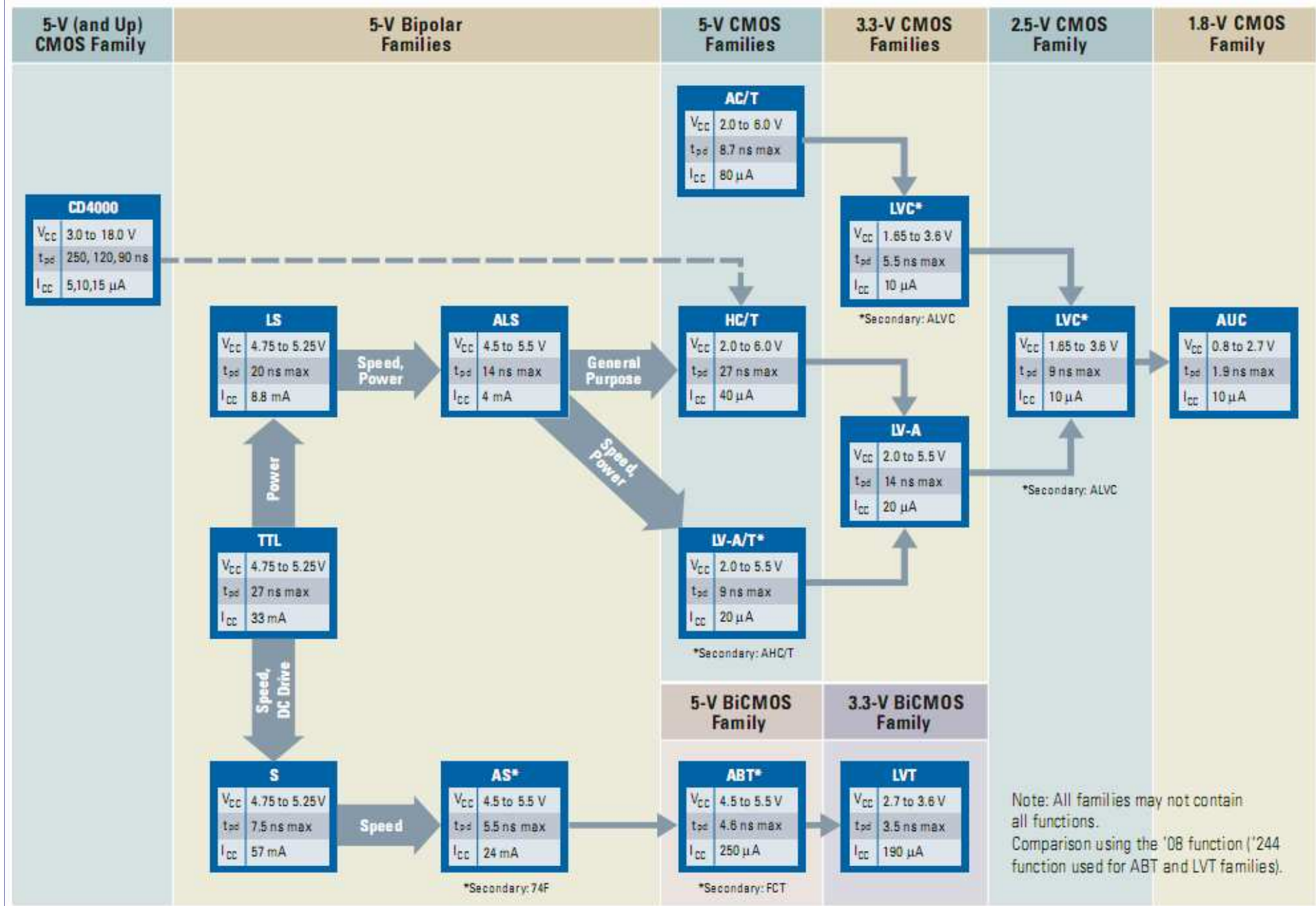
CMOS Logic Trend:

Reduction of dynamic losses (cross-conduction, capacitive charge/discharge cycles) by decreasing supply voltages
(12V → 5V → 3.3V → 2.5V → 1.8V → 1.5V...).

Reduction of IC power dissipation is the key to:

- lower cost (packaging)
- higher integration
- improved reliability

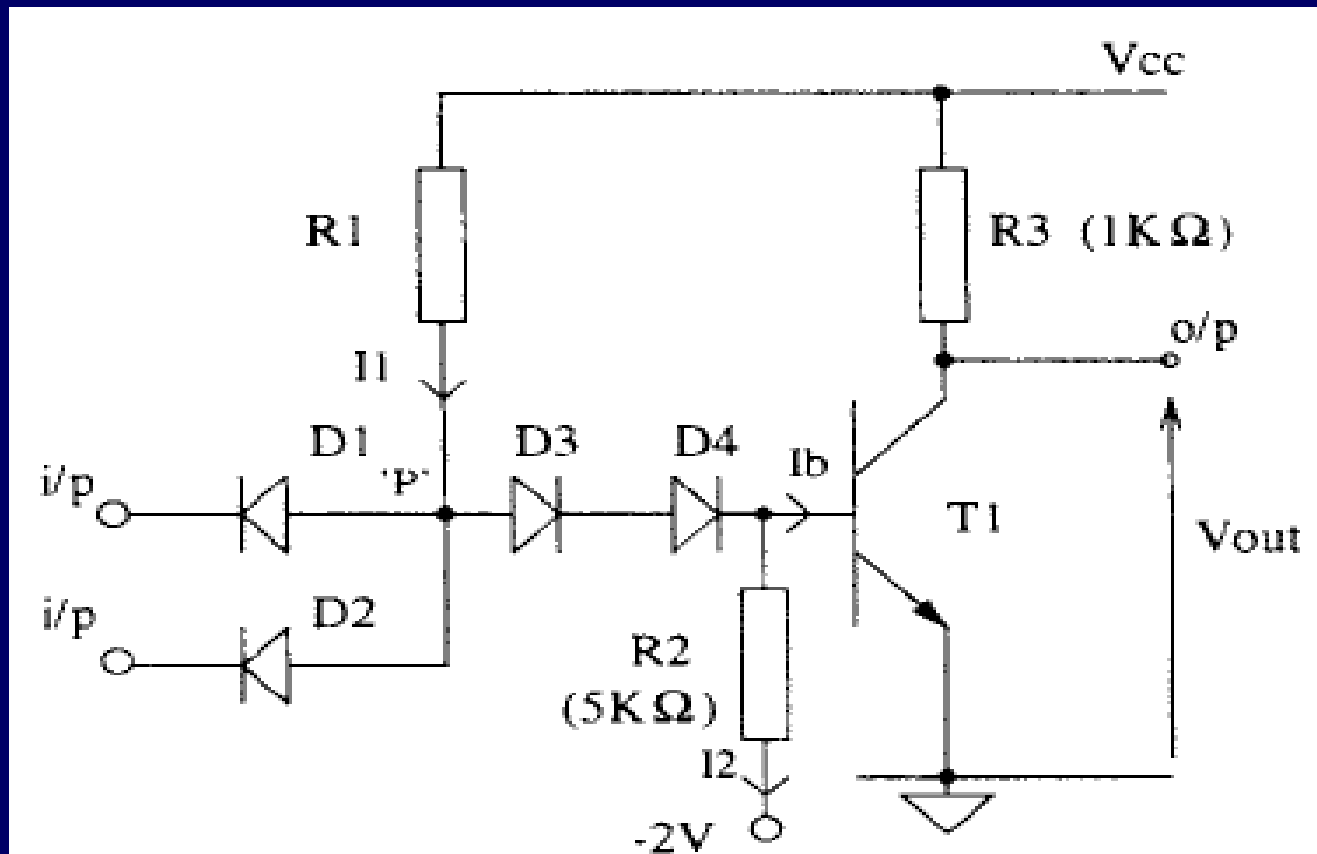
Figure 1. CMOS Voltage vs. Speed



TTL LOGIČKA KOLA

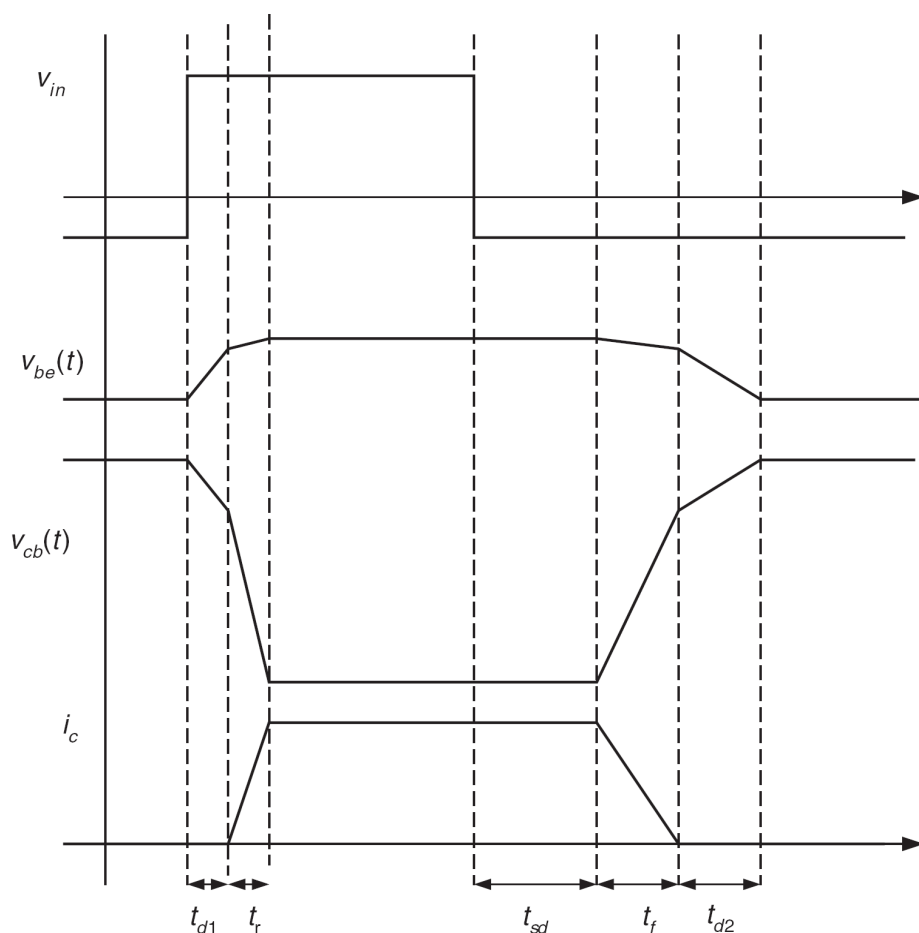
DTL LOGIČKO KOLO

- Na slici je dvoulazno NI (*NAND*) kolo izradjeno u DTL (*diode transistor logic*)
- Diode D1 i D2 obavljaju logičku NI funkciju u tački "P", dok tranzistor T1 obezbedjuje pojačanje (bfaerovanje) signala radi povećanja strujnog kapaciteta
- Diode D3 i D4 obezbedjuju da se T1 nadje u zakočenom režimu kada je neki od ulaza na logičkoj nuli

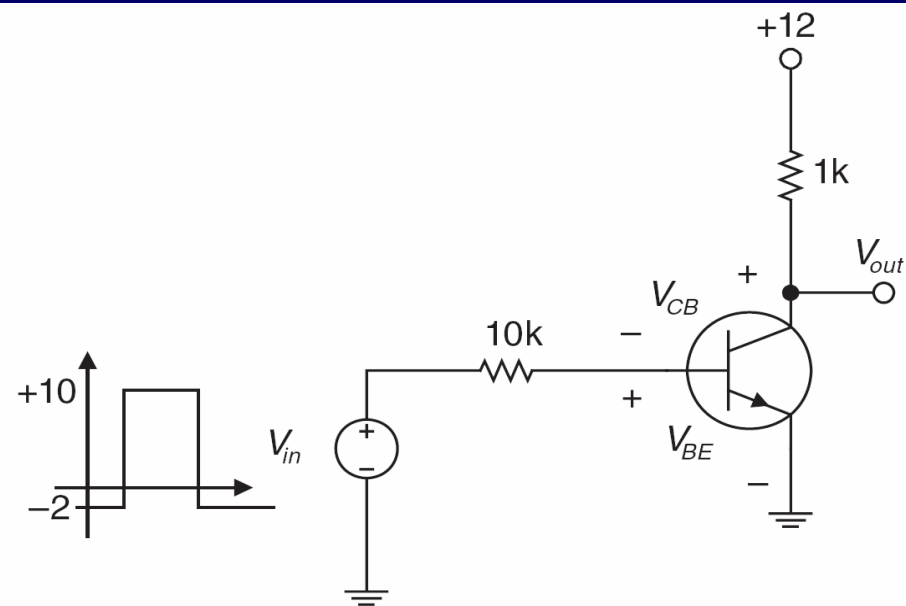


PARAMETRI BJT U VREMENSKOM DOMENU

- t_{d1} - delay time – vreme potrebno da se BJT prevede iz zakočenog u aktivni režim
- t_r - rise time – vreme potrebno da kolektorska struja poraste do finalne vrednosti
- t_{sd} - storage time – vreme potrebno da se isprazni višak nosilaca u bazi, i_C se ne menja
- t_f - fall time – vreme potrebno da se BJT prevede iz direktnog u zakočeni režim

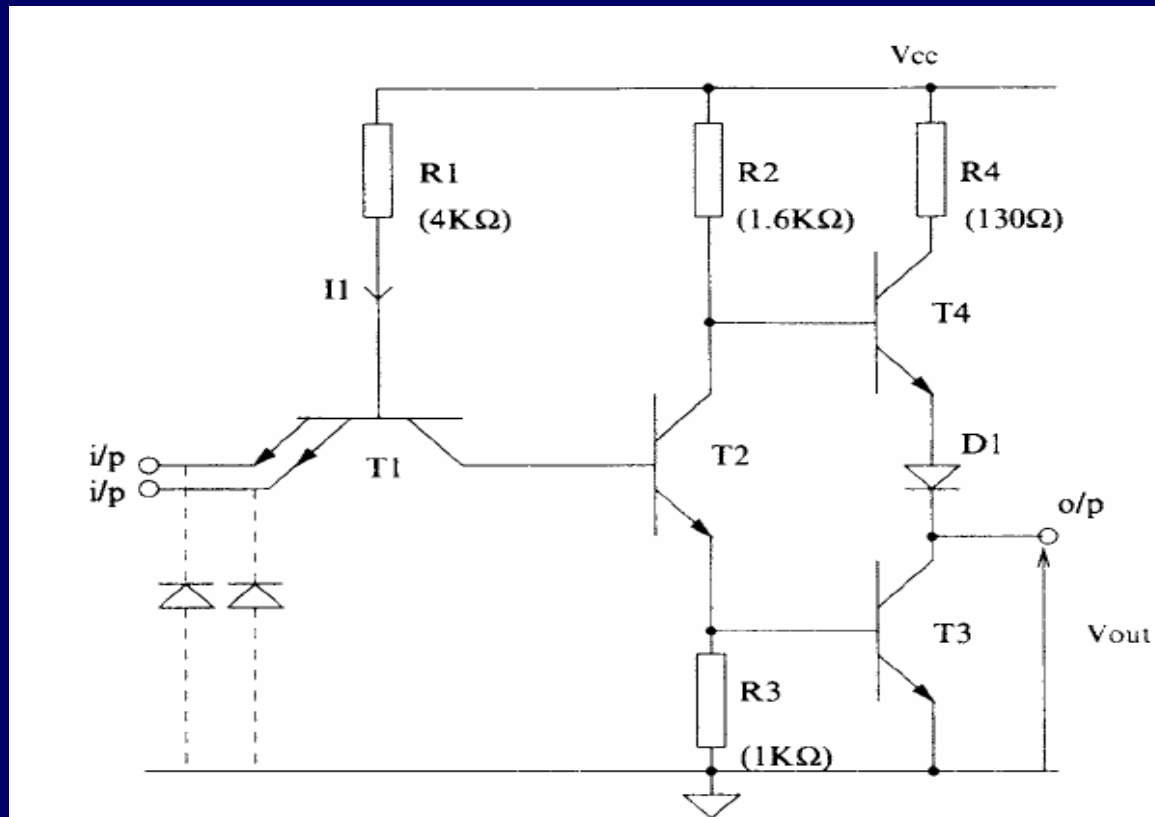


▪ Na desnoj slici nalazi se šema kojom se testiraju osobine tranzistora u vremenskom domenu



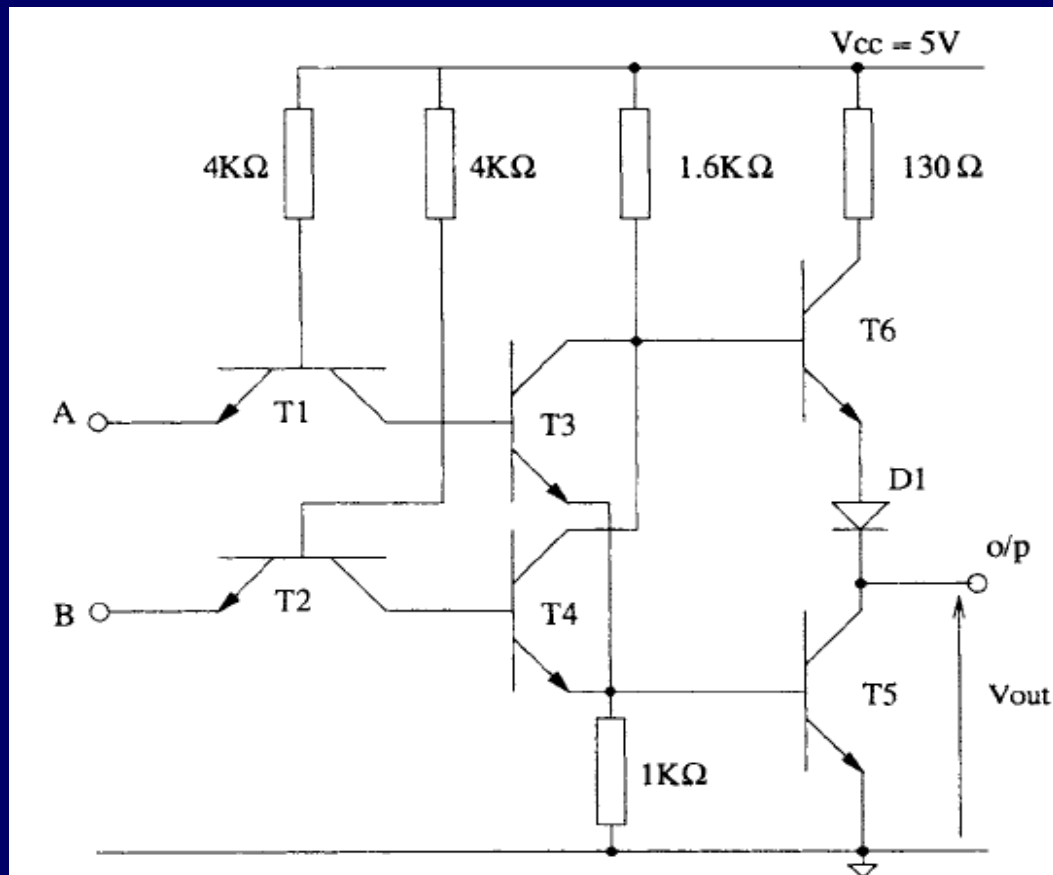
EVOLUCIJA DTL - TTL LOGIČKO KOLO

- Tranzistor T1 (višeemitorski tranzistor) zamenjuje funkciju dioda D1, D2 i D3 iz DTL kola sa prethodne slike, dok su D4 i R2 zamenjeni sa R2, T2 i R3
- Izlazni stepen (T3, T4, D1 i R4) je takozvani *totem pole* konfiguracija u kojoj je pasivni otpornik u kolektoru T1 zamenjen sa aktivnim tranzistorom T4
- Tranzistor T4 obezbedjuje brzo punjenje kapacitivnosti na ulazu V_{OUT} kada logičko stanje na izlazi prelazi sa LOW na HIGH, što je veliko unapredjenje u odnosu na DTL kolo koje puni kapacitet preko pasivnog otpornika R3



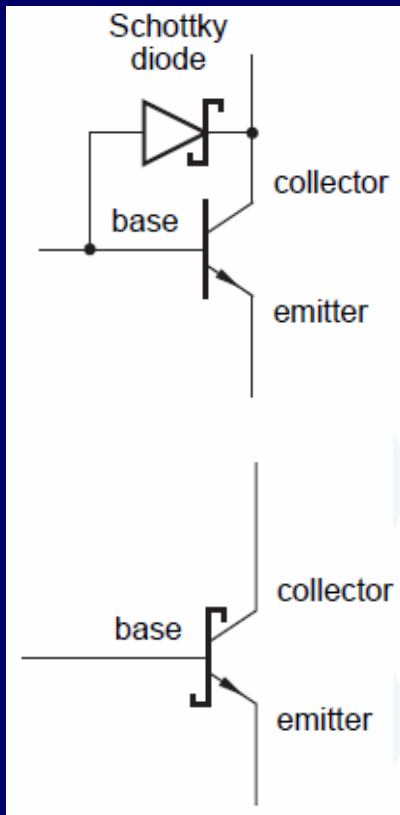
TTL NILI KOLO

- Funkcija NI se realizuje preko jednog višeemitorskog tranzistora kao na slici sa prethodnog slajda
- NILI funkcija je složenija za realizaciju i zahteva složeniju tranzistorsku strukturu
- Tranzistori T3 i T4 ostvaruju funkciju sumiranja (ILI) u tački emitera T4



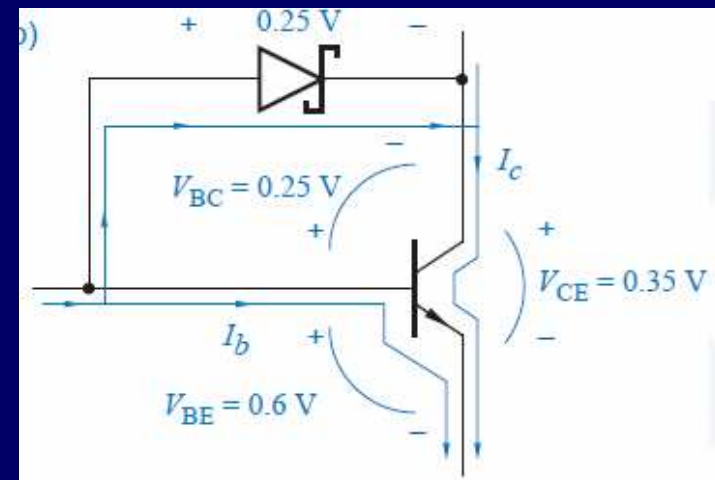
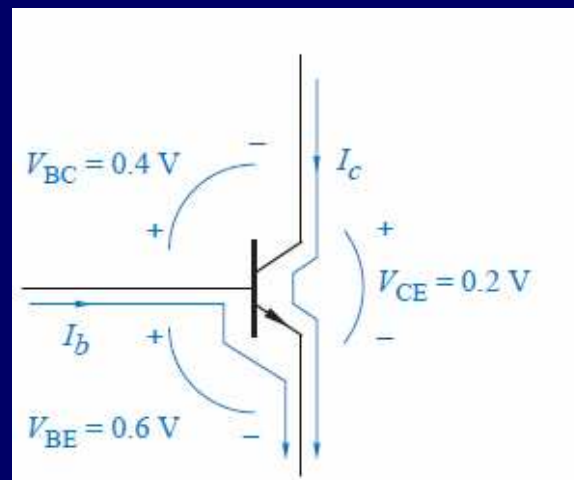
ŠOTKI TRANZISTOR

- Bipolarni tranzistor prilikom prelaska iz režima zasićenja u direktni aktivni pa potom u zakočeni režim zahteva uklanjanje nagomilanog naelektrisanja u bazi. Ovo zahteva vreme što negativno utiče na maksimalnu frekvenciju rada logičkih kola
- Problem se može ukloniti tako što se tranzistor spreči da udje u režim zasićenja blokiranjem napona na kolektoru preko diode postavljene izmedju baze i kolektora
- Dioda je šotkijevog tipa (spoj metal poluprovodnik) koja ima mali napon direktne polarizacije, oko $V_D = 0.25V$

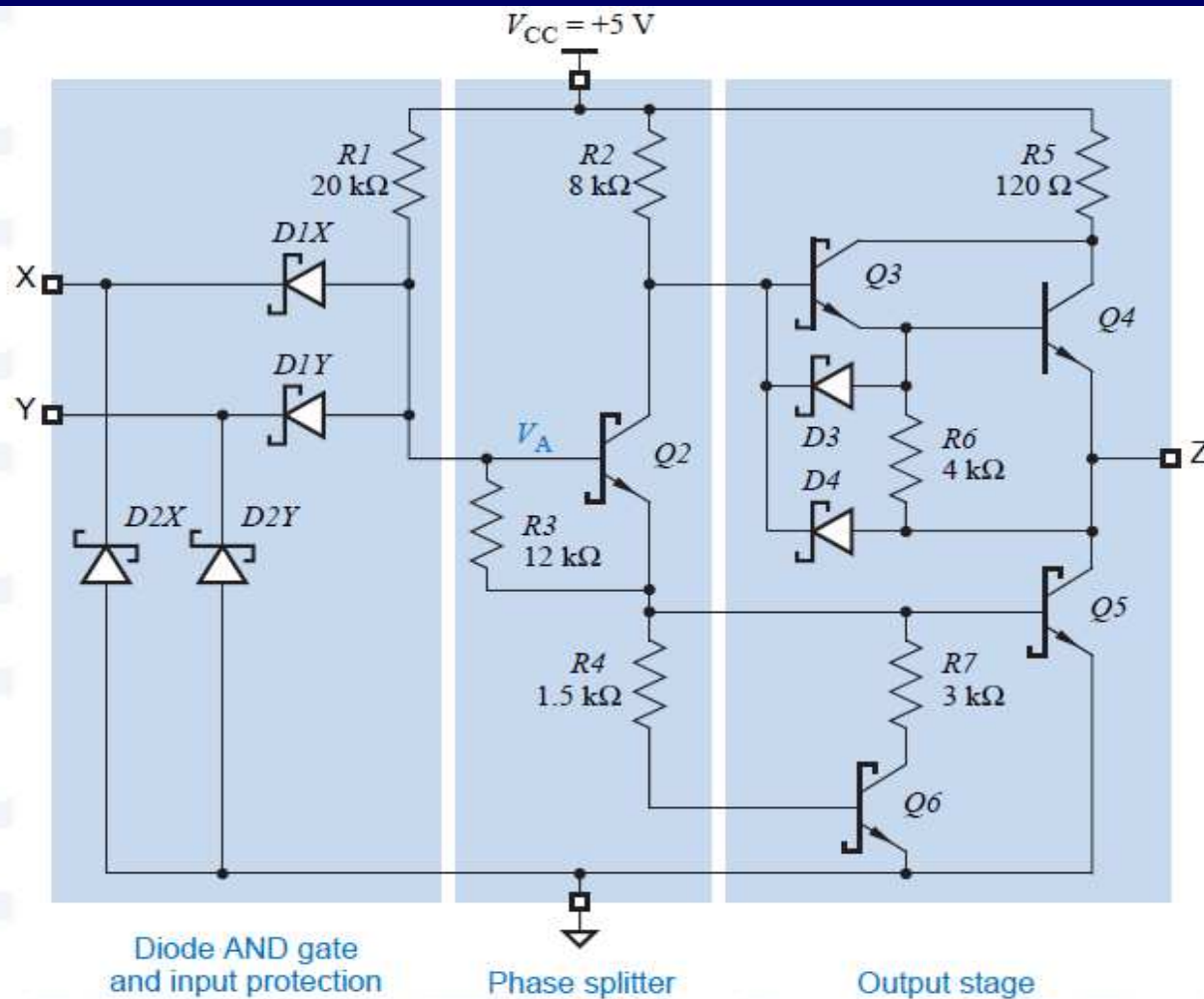


- Na donjoj levoj slici je BJT bez šotkijeve diode, na desnoj slici je prikazan uticaj šotkijeve diode

- Prilikom velike direktne polarizacije BE spoja, šotkijeva dioda počinje da vodi i višak struje u bazi koji bi uveo BJT u saturaciju prevodi (šantuje) u kolektor istovremeno ograničavajući napon $V_{CE} = V_{BE} - V_D = 0.35V$ čime se ispunjava naponski uslova da tranzistor ne bude u saturaciji



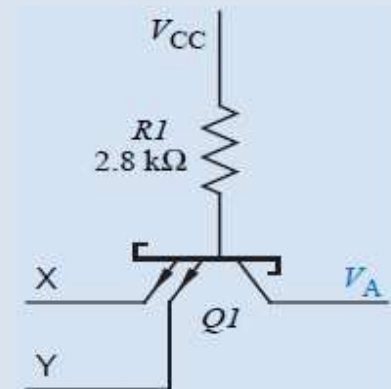
ŠOTKI TTL NI LOGIČKO KOLO



■ Diode D1X i D1Y mogu se funkcionalno realizovati kao tranzistor na donjoj slici

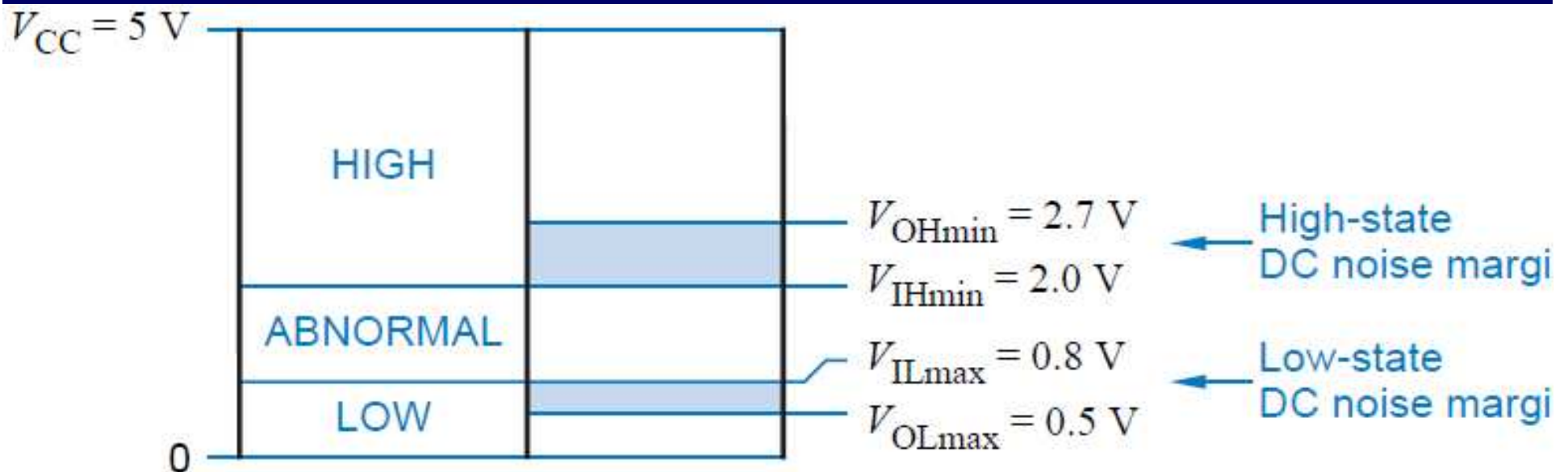
■ Na slici dole levo prikazani su režimi rada tranzistora u zavisnosti od logičkih napona na ulazu kola

X	Y	V_A	Q2	Q3	Q4	Q5	Q6	V_Z	Z
L	L	≤ 1.05	off	on	on	off	off	2.7	H
L	H	≤ 1.05	off	on	on	off	off	2.7	H
H	L	≤ 1.05	off	on	on	off	off	2.7	H
H	H	1.2	on	off	off	on	on	≤ 0.35	L



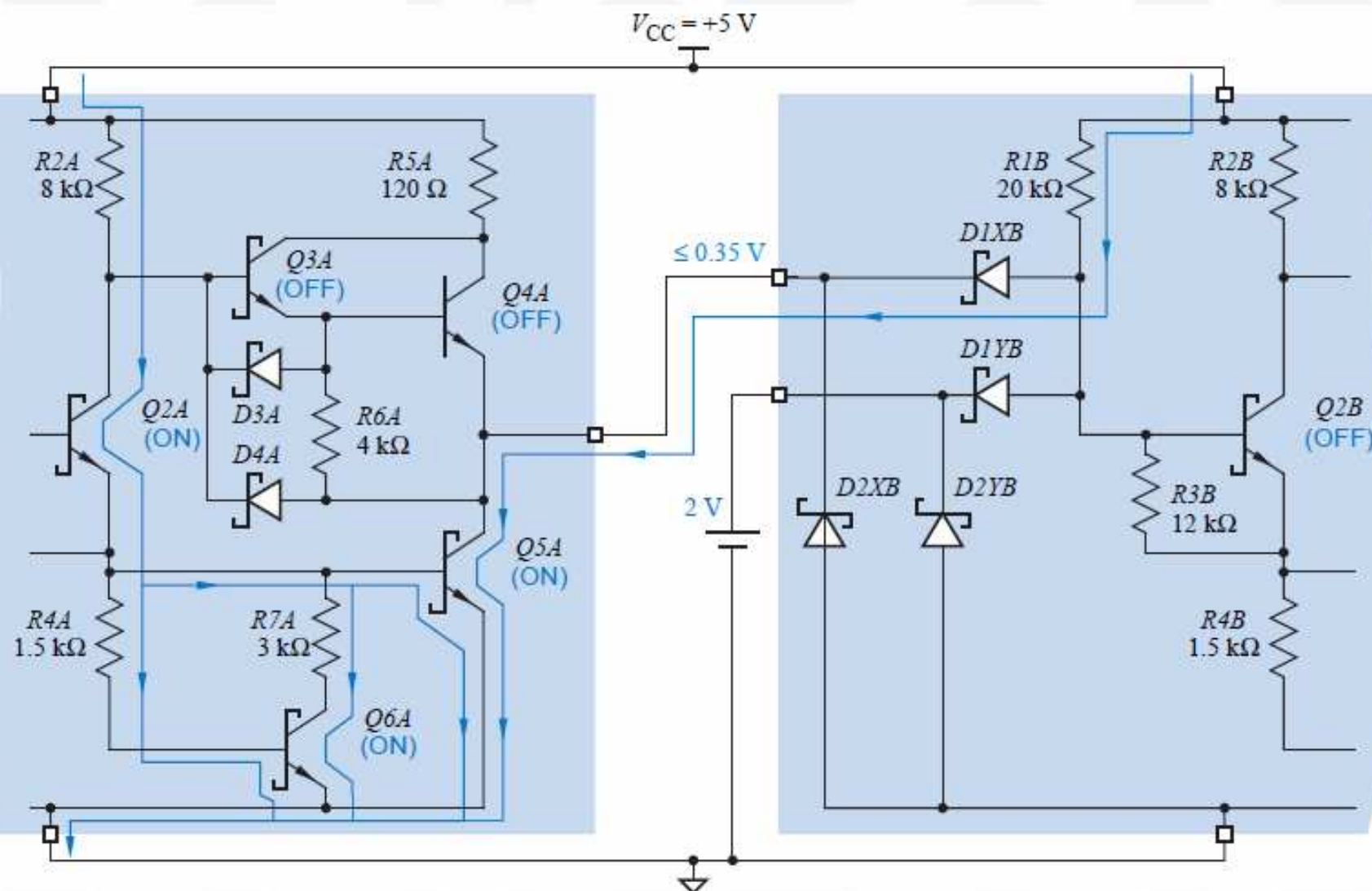
STATIČKA SPECIFIKACIJA TTL FAMILIJA

- Proizvodjači specificiraju sledeće parametre statičke karakteristike
 - V_{OHmin} minimalna vrednost izlaznog napona pri stanju logičke jedinice, tip. 2.7V
 - V_{IHmin} minimalna vrednost ulaznog napona koje će biti prepoznato kao logička jedinica, tip. 2V
 - V_{ILmax} maksimalna vrednost ulaznog napona koje će biti prepoznato kao logička nula, tip. 0.8V
 - V_{OLmax} maksimalna vrednost izlaznog napona pri stanju logičke nule, tip. 0.5V
- U tzv. pozitivnoj logici stanje 0 je nižeg napona i obeležava se oznakom LOW, a stanje 1 je višeg napona i obeležava se oznakom HIGH. Oznake HIGH i LOW su generičke, u tzv. negativnoj logici 0 je HIGH a 1 je LOW
- Margina šuma za HIGH stanje TTL kola je $NM_H=0.7V$
- Margina šuma za LOW stanje TTL koja je $NM_L=0.3V$
- Margine šuma TTL kola su znatno manje nego kod CMOS kola što znači da su TTL kola osetljivija na šum na putu signala



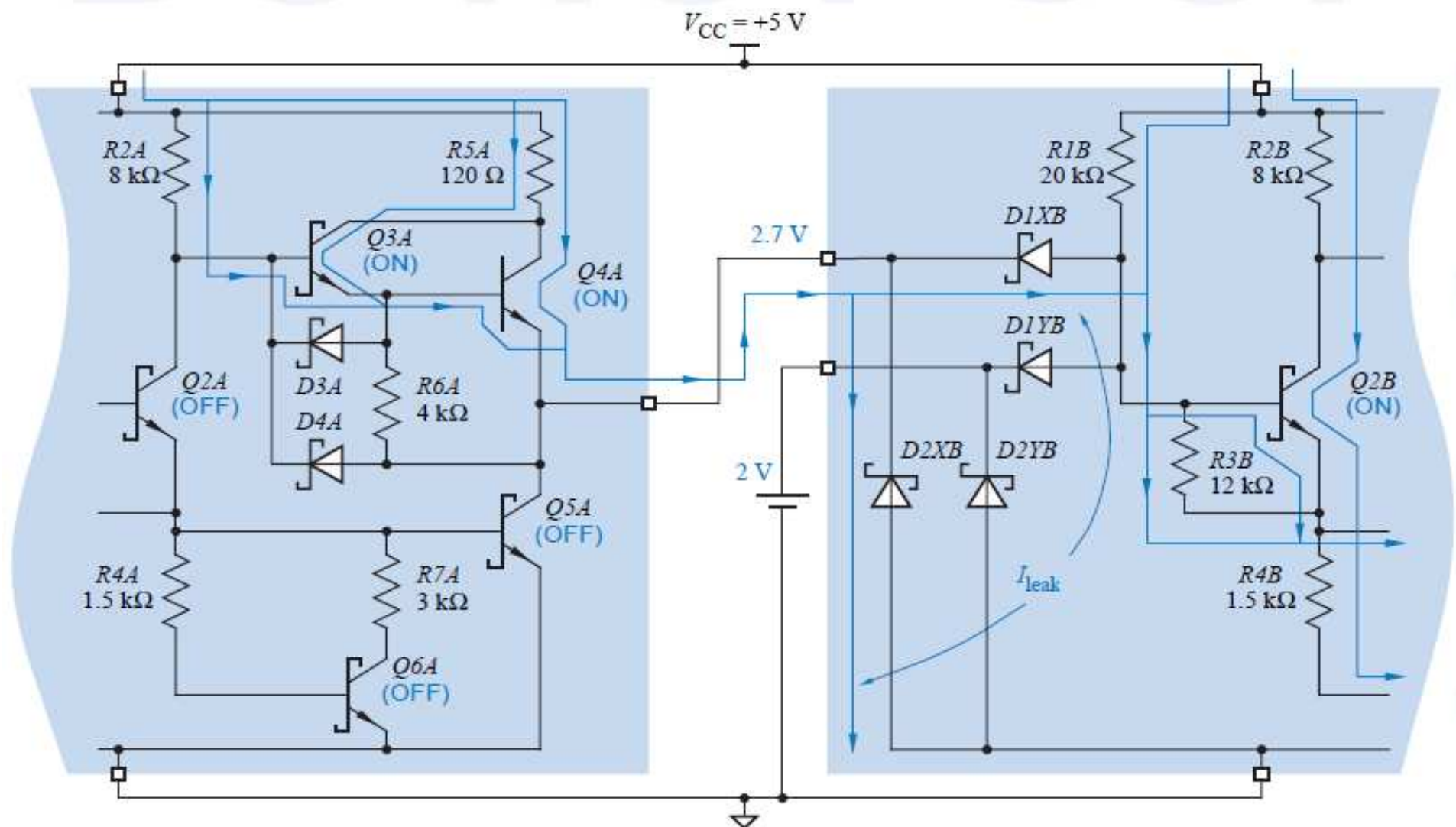
SPREGA TTL KOLA

LOGIČKA NULA NA ULAZU



SPREGA TTL KOLA

LOGIČKA JEDINICA NA ULAZU



ULAZNE STRUJE TTL KOLA

TTL input currents

- Kada je na ulazu TTL kola logička nula (LOW) struja teče iz ulaznog terminala i obeležava se sa $I_{ILmax} = -0.4mA$ (po konvenciji struja je negativna ako teče iz terminala). Struja teče iz terminala VCC, preko otpornika R1B ka diodi D1XB i ulazi u tranzistor Q5A. Struju ograničava R1B
- Kada je na ulazu TTL kola logička jedinica (HIGH) struja teče u ulazni terminala i obeležava se sa $I_{IHmax} = 20\mu A$ (po konvenciji struja je pozitivna ako teče u terminal). Struja teče iz terminala VCC, preko otpornika R5A i tranzistora Q4A u ulaz vezanog logičkog kola i "curi" ka masi preko diode D2XB. Struju ograničava struja inverzne polarizacije diode

IZLAZNE STRUJE TTL KOLA

TTL output currents

- Kada je na izlazu TTL kola logička nula (LOW) maksimalna struja koja teče u izlazni terminal a pri kojoj izlazni napon neće preći vrednost V_{OLmax} obeležava se sa $I_{OLmax}=8mA$
- Kada je na izlazu TTL kola logička jedinica (HIGH) maksimalna struja koja teče iz izlaznog terminala a pri kojoj izlazni napon neće pasti ispod vrednosti V_{OHmin} obeležava se sa $I_{OHmax}=-400\mu A$

FAKTOR GRANANJA ILI LOGIČKI KAPACITET

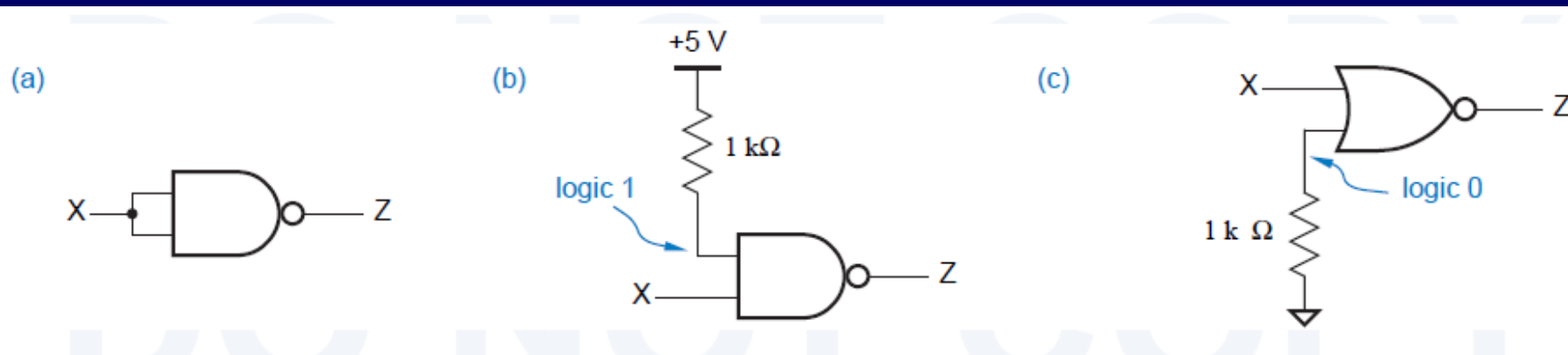
fanout

- Ulazna struja u CMOS kola ne praktično nula što dozvoljava ogroman faktor grananja. Kod TTL kola ulazna struja nije zanemarljiva te stoga TTL kola ispoljavaju konačan i manji izlazni faktor grananja
- Faktor grananja za LOW je $I_{OLmax}/I_{ILmax}=20$ što znači da se može priključiti 20 TTL kola na jedno kolo a da se ne ugrozi margina šuma
- Faktor grananja za HIGH je $I_{OHmax}/I_{IHmax}=20$ što znači da se može priključiti 20 TTL kola na jedno kolo a da se ne ugrozi margina šuma
- Iako su faktori grananja simetrični, izlazni strujni kapacitet za TTL kola je znatno manji za HIGH nego za LOW stanje (8mA prema 0.4mA) što znači da potrošači veće struje (LED, rejeli...) priključuju na TTL izlaze tako da vode struju kada je TTL kolo u LOW stanju

VEZIVANJE NEISKORIŠTENIH ULAZA TTL KOLA

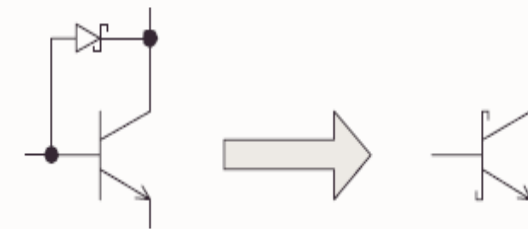
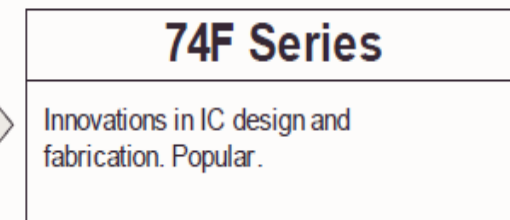
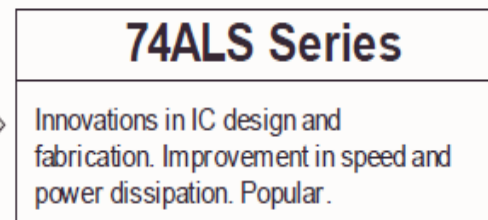
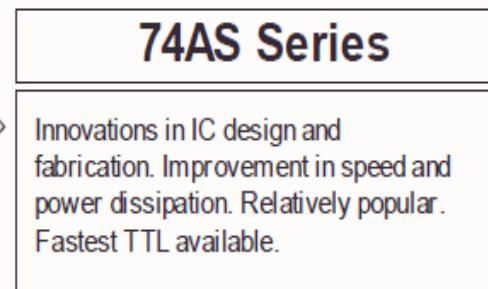
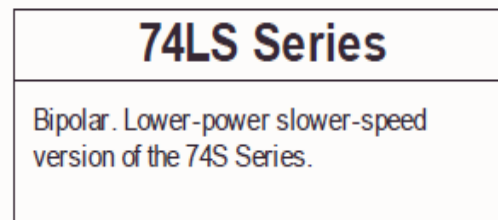
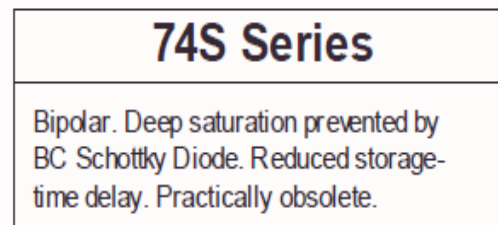
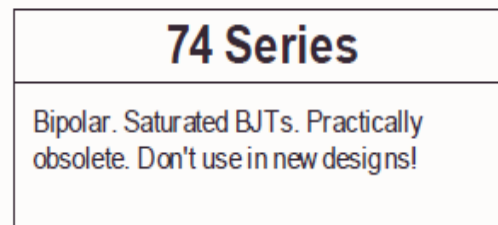
unused inputs

- Ulazni terminali koji se ne koriste u realizaciji logičke funkcije ne smeju se ostavljati nepovezani.
- Ovaj problem se rešava:
 - direktnim vezivanjem ulaza na napon VCC ili GND
 - vezivanjem ulaza preko otpornika ka VCC ili GND (*pull up* ili *pull down* otpornik)
 - povezivanjem na upotrebljeni ulaz tako da se ne promeni logička funkcija koja se realizuje
- Nepovezani ulaz TTL kola će se naći u HIGH stanju zbog toga što otpornik R1 drži napon dovoljno visokim, ali je taj efekat slab, pojava šuma ili EMI može dovesti do rada kola van normalnog režima ili čak do promene stanja logičkog nivoa kola. Stoga se nepovezan TTL ulaz teško detektuje u toku razrade kola i mora se o ovome posebno voditi računa-



EVOLUCIJA TTL LOGIČKIH FAMILIJA

Logic Families/TTL/Logic Evolution



TTL LOGIČKE FAMILIJE

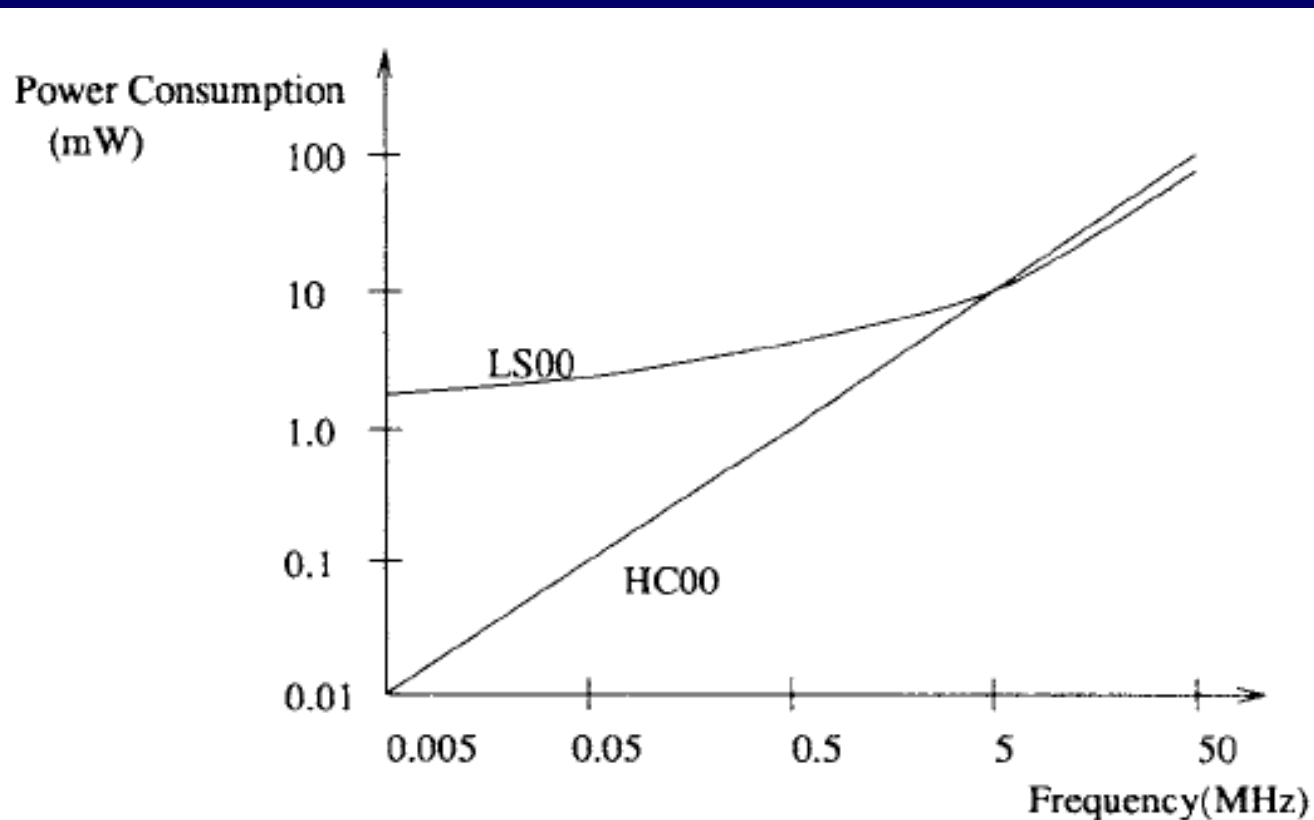
Description	Symbol	Family				
		74S	74LS	74AS	74ALS	74F
Maximum propagation delay (ns)		3	9	1.7	4	3
Power consumption per gate (mW)		19	2	8	1.2	4
Speed-power product (pJ)		57	18	13.6	4.8	12
LOW-level input voltage (V)	V_{ILmax}	0.8	0.8	0.8	0.8	0.8
LOW-level output voltage (V)	V_{OLmax}	0.5	0.5	0.5	0.5	0.5
HIGH-level input voltage (V)	V_{IHmin}	2.0	2.0	2.0	2.0	2.0
HIGH-level output voltage (V)	V_{OHmin}	2.7	2.7	2.7	2.7	2.7
LOW-level input current (mA)	I_{ILmax}	-2.0	-0.4	-0.5	-0.2	-0.6
LOW-level output current (mA)	I_{OLmax}	20	8	20	8	20
HIGH-level input current (μ A)	I_{IHmax}	50	20	20	20	20
HIGH-level output current (μ A)	I_{OHmax}	-1000	-400	-2000	-400	-1000

PROIZVODJAČKA DOKUMENTACIJA TTL

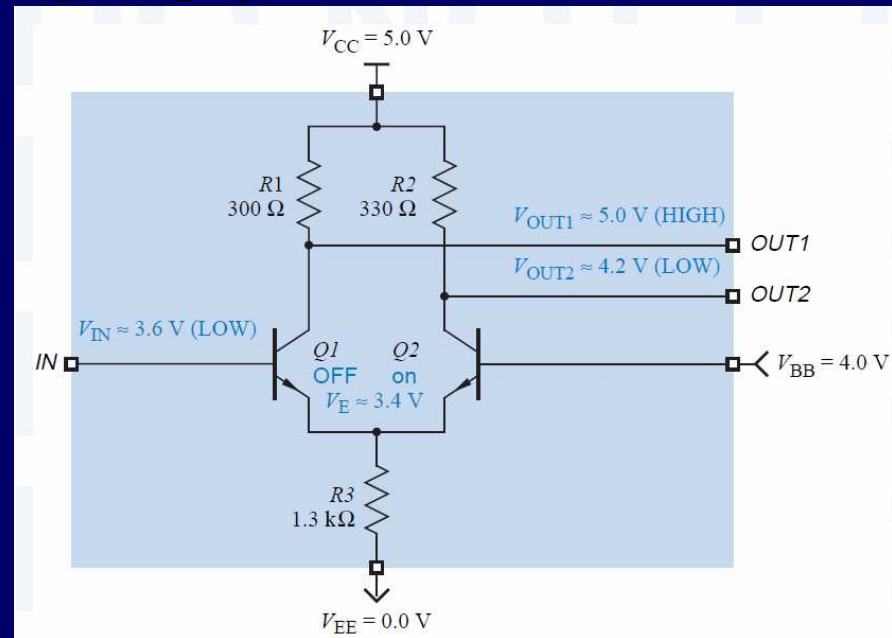
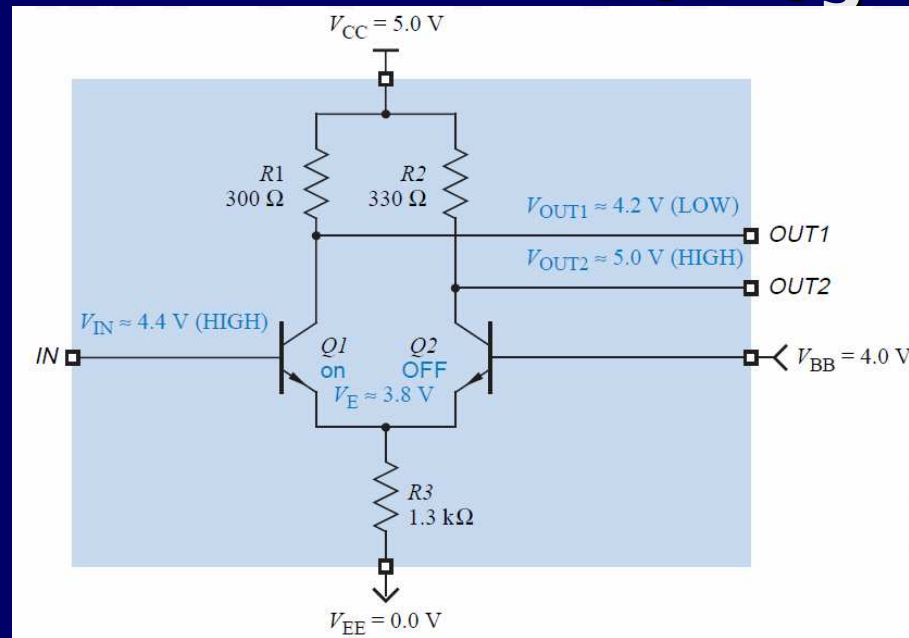
RECOMMENDED OPERATING CONDITIONS								
Parameter	Description	SN54LS00			SN74LS00			Unit
		Min.	Nom.	Max.	Min.	Nom.	Max.	
V_{CC}	Supply voltage	4.5	5.0	5.5	4.75	5.0	5.25	V
V_{IH}	High-level input voltage	2.0			2.0			V
V_{IL}	Low-level input voltage			0.7			0.8	V
I_{OH}	High-level output current			-0.4			-0.4	mA
I_{OL}	Low-level output current			4			4	mA
T_A	Operating free-air temperature	-55		125	0		70	°C
ELECTRICAL CHARACTERISTICS OVER RECOMMENDED FREE-AIR TEMPERATURE RANGE								
Parameter	Test Conditions ⁽¹⁾	SN54LS00			SN74LS00			Unit
		Min.	Typ. ⁽²⁾	Max.	Min.	Typ. ⁽²⁾	Max.	
V_{IK}	$V_{CC} = \text{Min.}, I_N = -18 \text{ mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{Min.}, V_{IL} = \text{Max.}, I_{OH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4		V
V_{OL}	$V_{CC} = \text{Min.}, V_{IH} = 2.0 \text{ V}, I_{OL} = 4 \text{ mA}$		0.25	0.4		0.25	0.4	V
	$V_{CC} = \text{Min.}, V_{IH} = 2.0 \text{ V}, I_{OL} = 8 \text{ mA}$					0.35		
I_I	$V_{CC} = \text{Max.}, V_I = 7.0 \text{ V}$			0.1			0.1	mA
I_{IH}	$V_{CC} = \text{Max.}, V_I = 2.7 \text{ V}$			20			20	μA
I_{IL}	$V_{CC} = \text{Max.}, V_I = 0.4 \text{ V}$			-0.4			-0.4	mA
$I_{IOS}^{(3)}$	$V_{CC} = \text{Max.}$	-20		-100	-20		-100	mA
I_{CCH}	$V_{CC} = \text{Max.}, V_I = 0 \text{ V}$		0.8	1.6		0.8	1.6	mA
I_{CCL}	$V_{CC} = \text{Max.}, V_I = 4.5 \text{ V}$		2.4	4.4		2.4	4.4	mA
SWITCHING CHARACTERISTICS, $V_{CC} = 5.0 \text{ V}, T_A = 25^\circ\text{C}$								
Parameter	From (Input)	To (Output)	Test Conditions		Min.	Typ.	Max.	Unit
t_{PLH}	A or B	Y	$R_L = 2 \text{ k}\Omega, C_L = 15 \text{ pF}$			9	15	ns
t_{PHL}						10	15	

POREDJENJE DISIPACIJE TTL I CMOS KOLA

- Pri niskim frekvencijama CMOS kola imaju mnogo manju disipaciju od TTL kola
- Kako frekvencija raste disipacija CMOS kola na nekoj frekvenciji postaje veća od disipacije TTL kola

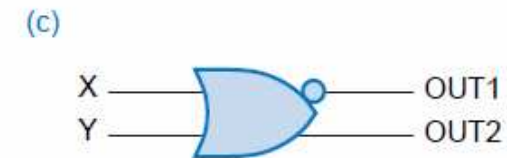
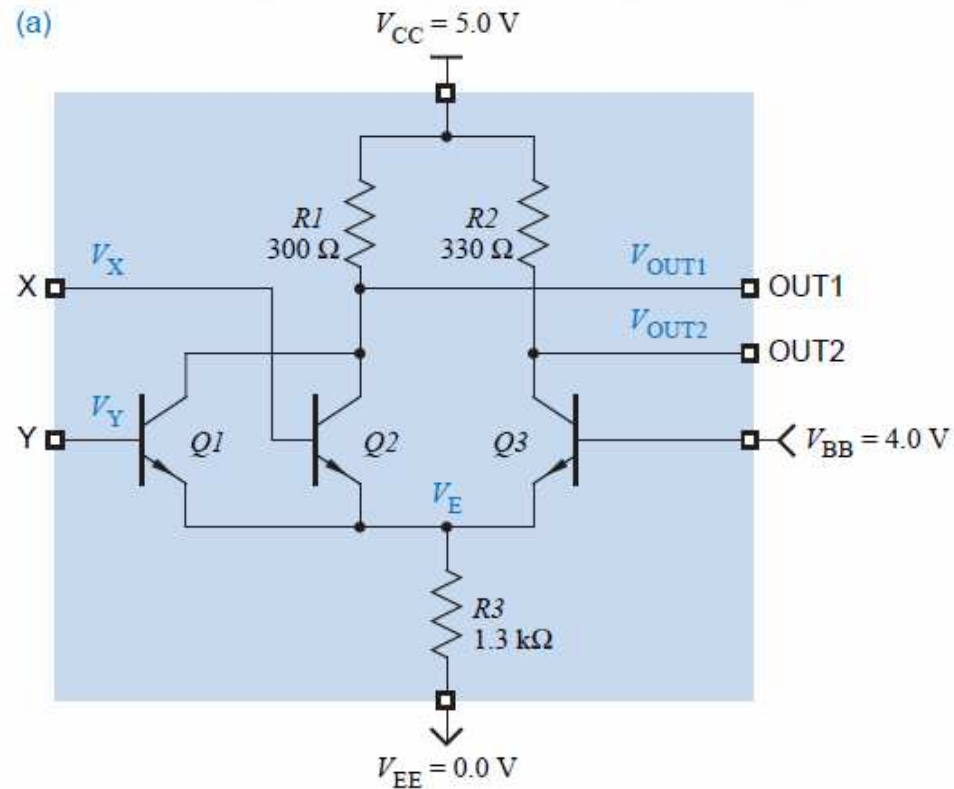


ECL logička kola



- BJT tranzistori se mogu koristiti kao strujne skretnice bez uvođenja u saturaciju, čime se značajno smanjuje vreme propagacije signala kroz logičko kolo
- Smanjenje amplitude logičkog signala iz zone volti u zonu stotina milivolti znači i manje vreme propagacije i vremena prelaznog režima
- Cena koja se plaća je velika statička i dinamička disipacija pošto se ECL kola realizuju kao diferencijalni pojačavači koji se stalno napajaju strujom
- Ulazni napon IN veći od 4.4V uvodi Q1 u provodan a Q2 u zakočen režim
- Ulazni napon IN manji od 3.6V uvodi Q2 u provodan a Q1 u zakočen režim

ECL logička kola – NILI kolo



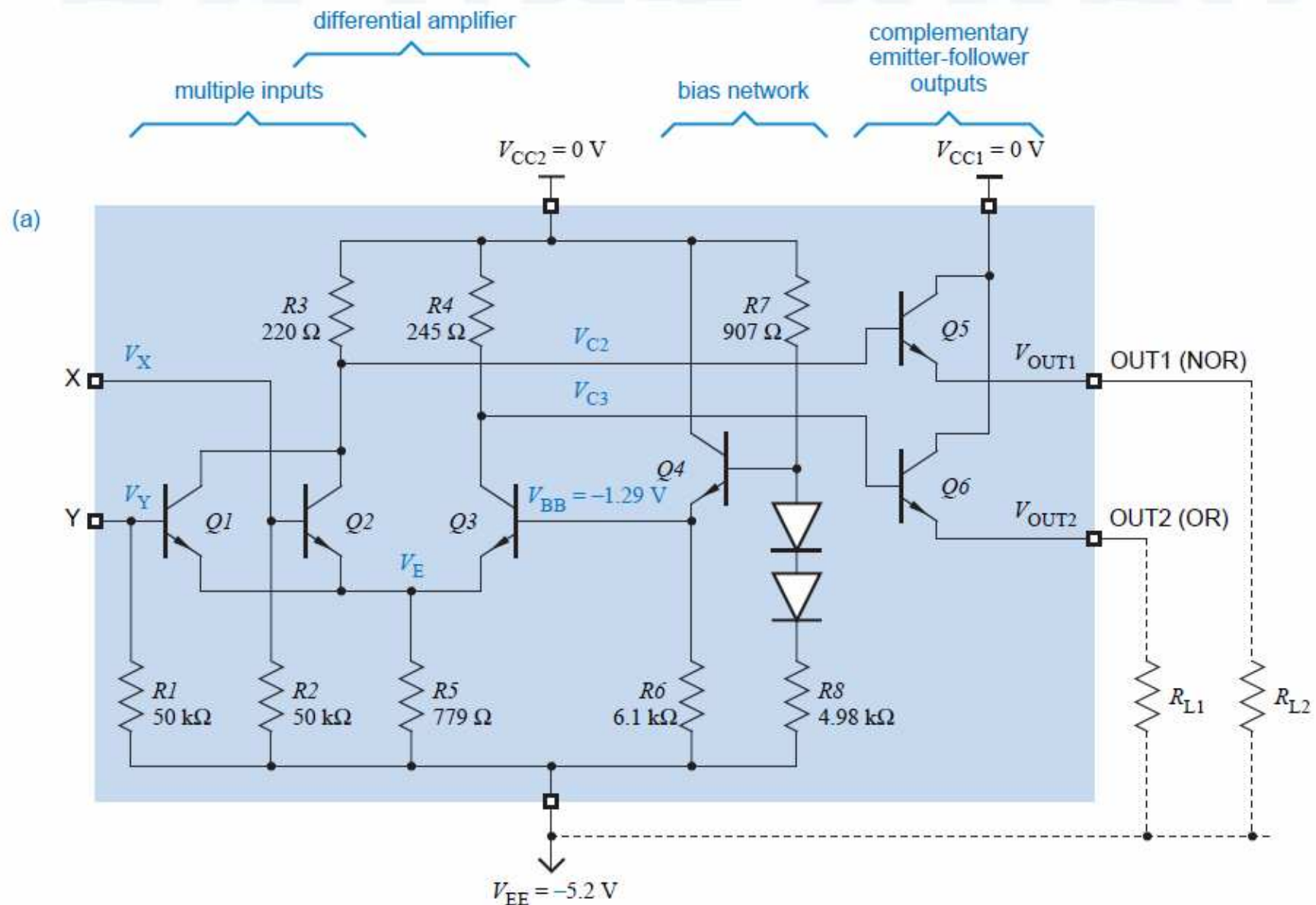
(b)

X	Y	V_X	V_Y	Q1	Q2	Q3	V_E	V_{OUT1}	V_{OUT2}	OUT1	OUT2
L	L	3.6	3.6	OFF	OFF	on	3.4	5.0	4.2	H	L
L	H	3.6	4.4	OFF	on	OFF	3.8	4.2	5.0	L	H
H	L	4.4	3.6	on	OFF	OFF	3.8	4.2	5.0	L	H
H	H	4.4	4.4	on	on	OFF	3.8	4.2	5.0	L	H

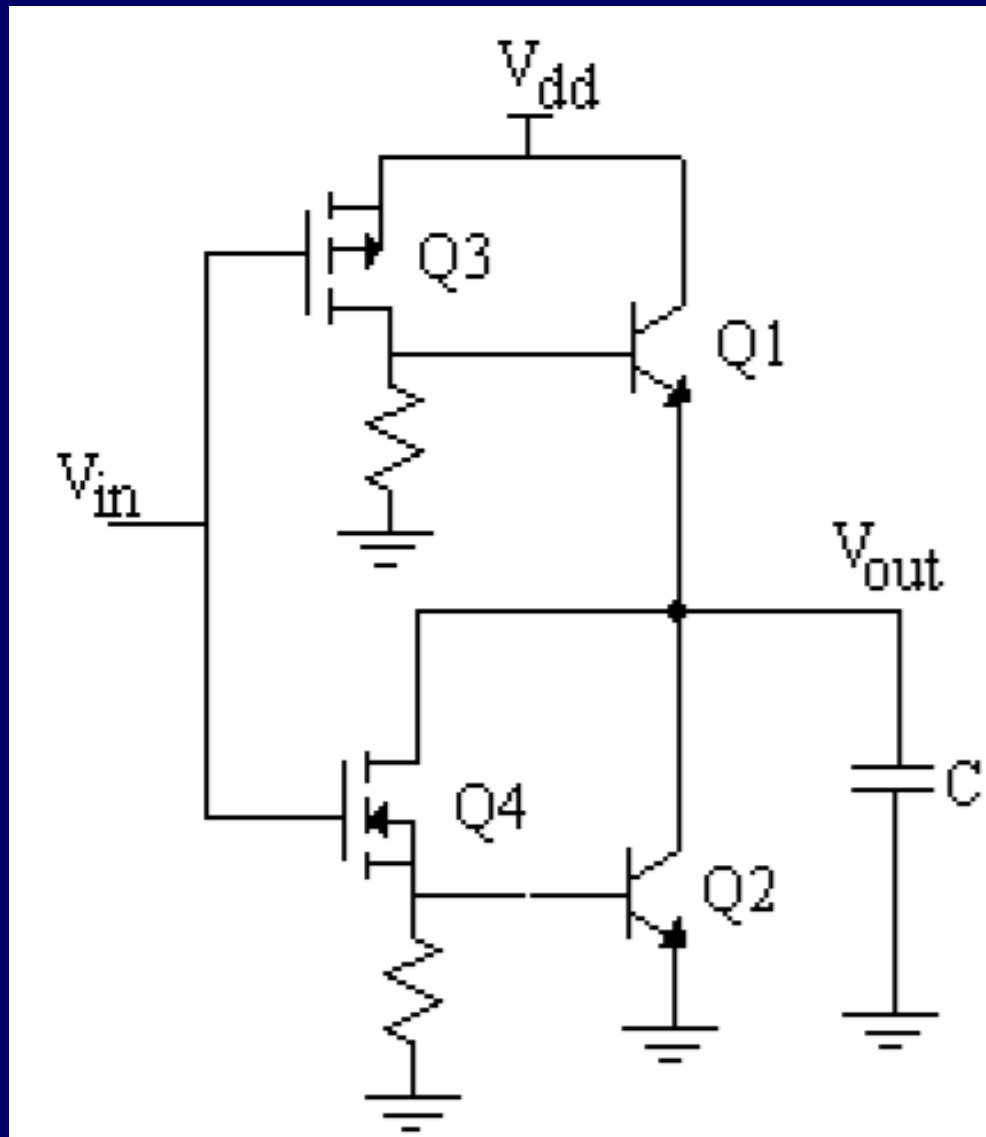
(d)

X	Y	OUT1	OUT2
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

ECL logička kola – NILI kolo iz 10K familije



BiCMOS logička kola

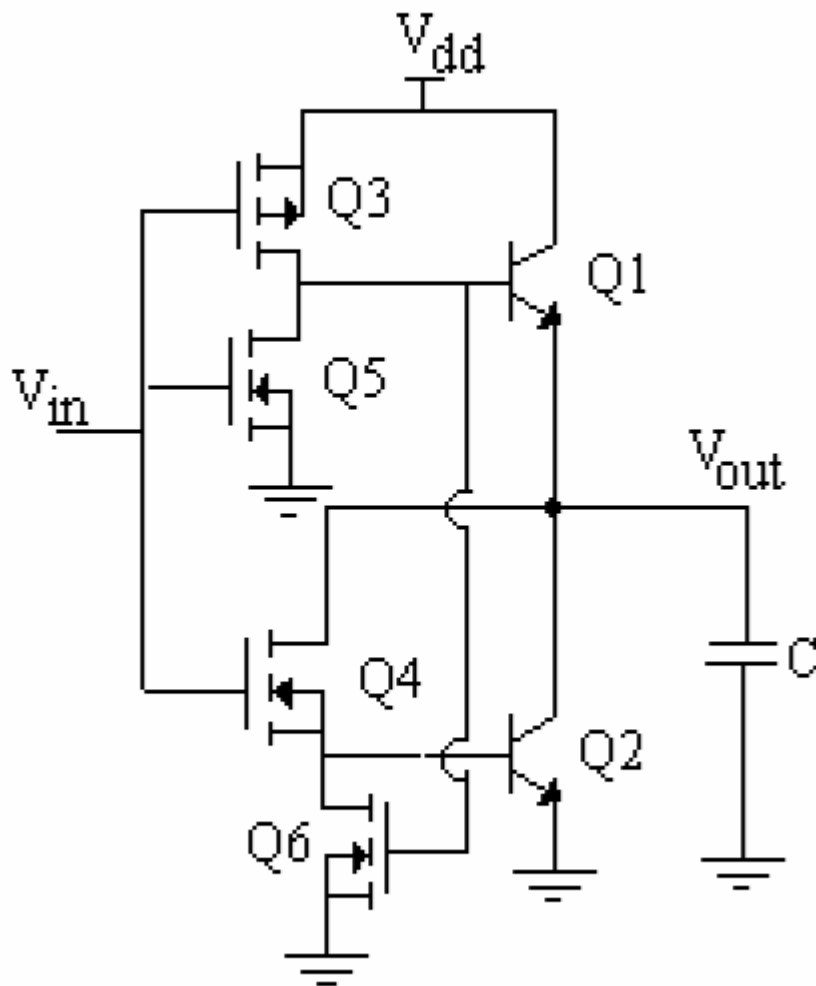


- BJT su bolji od CMOS tranzistora kada su kapacitivno opterećeni dok CMOS tranzistori imaju manje dimenzije
- Kombinacija CMOS i BJT tranzistora u logičkim kolima tako da se prenesu najbolja svojstva od obe tehnologije rezultovala je u BiCMOS logičkoj familiji
- CMOS tranzistori se nalaze na ulazima i realizuju logičke funkcije dok se BJT nalaze na izlazu u vidu totem pole konfiguracije

BiCMOS logička kola – objašnjenje rada

- Pri niskom ulaznom naponu V_{in} , NMOS Q_4 je zakočen, pa je i Q_2 zakočen. PMOS Q_3 vodi u omskom režimu, pa je baza Q_1 na visokom naponu i Q_1 vodi. Veliki strujni kapacitet emitera Q_1 brzo puni kapacitet C na izlazu (stanje V_{out} pre promene napona V_{in} je bilo logička nula) logičkog kola. Kada napon V_{out} poraste blizu V_{dd} , Q_1 će se zakočiti i neće trošiti snagu iz izvora V_{dd} .
- Pri pojava visokog ulaznog napona V_{in} , Q_3 i Q_1 su zakočeni, a Q_4 i Q_2 provode pošto je stanje na izlazu V_{out} bila logička jedinica pre promene stanja na ulazu sa niskog na visoki napon. Q_2 prazni kapacitet na izlazu svojom strujom kolektora. Kada napon V_{out} padne nisko, Q_2 se gasi i ne troši dalje struju.

BiCMOS logička kola – realizacija otpornika



- Otpornici pri bazama Q1 i Q2 su namenjeni za brzo pražnjenje zaostalog naelektrisanja u bazama Q1 i Q2 kod prelaza ovih tranzistora iz provodnog u zakočen režim.

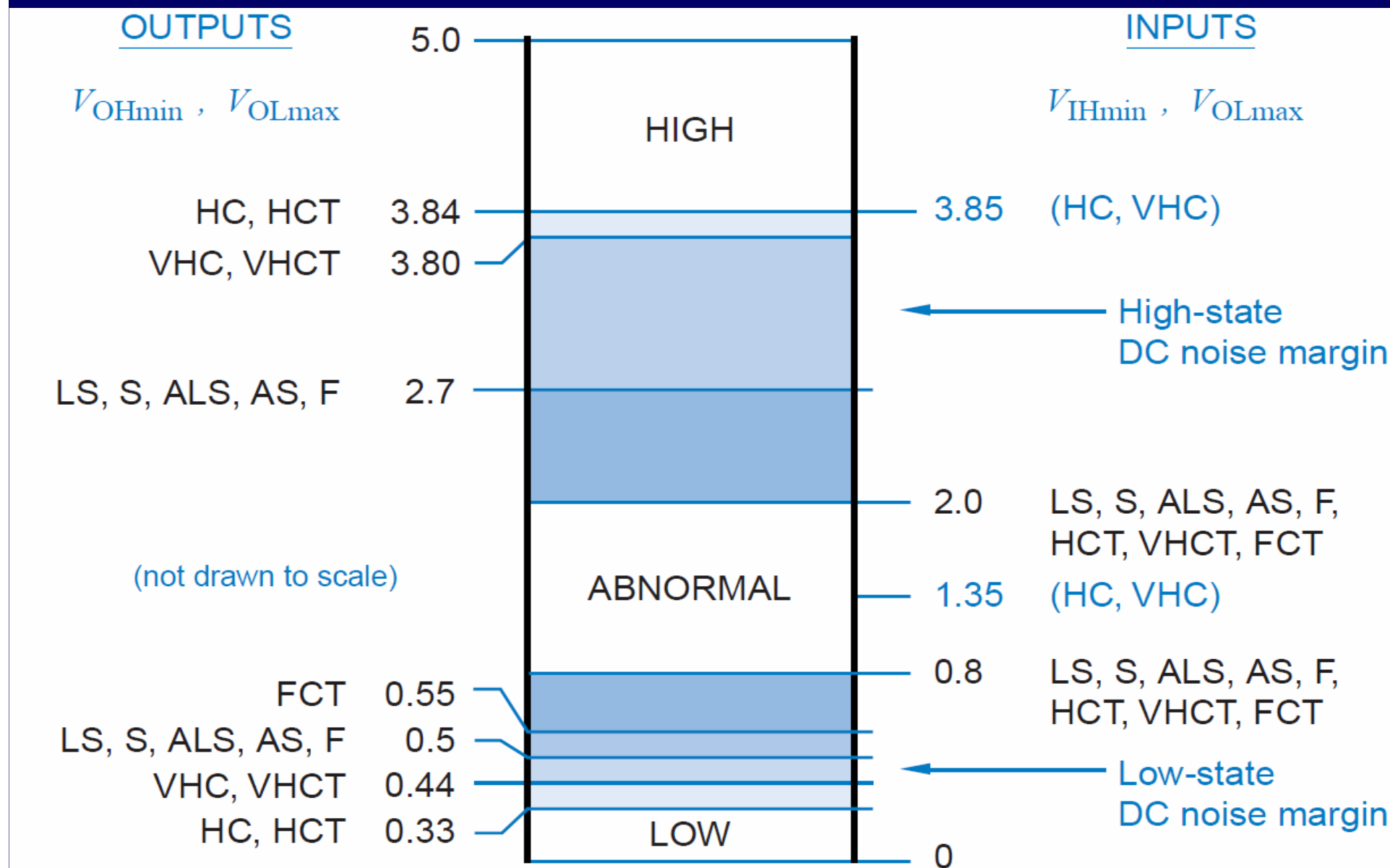
- U integrisanoj tehnologiji oni se realizuju kao NMOS tranzistori Q5 i Q6 koji svojom strujom drejna još brže mogu prazniti nagomilano naelektrisanje u bazi.

- Q5 prazni bazu Q1 kada je na ulazu logička jedinica.

- Q6 prazni bazu Q2 kada je na ulazu logička nula kada Q3 koji provodi obezbedjuje pozitivan napon na gejtu Q6.

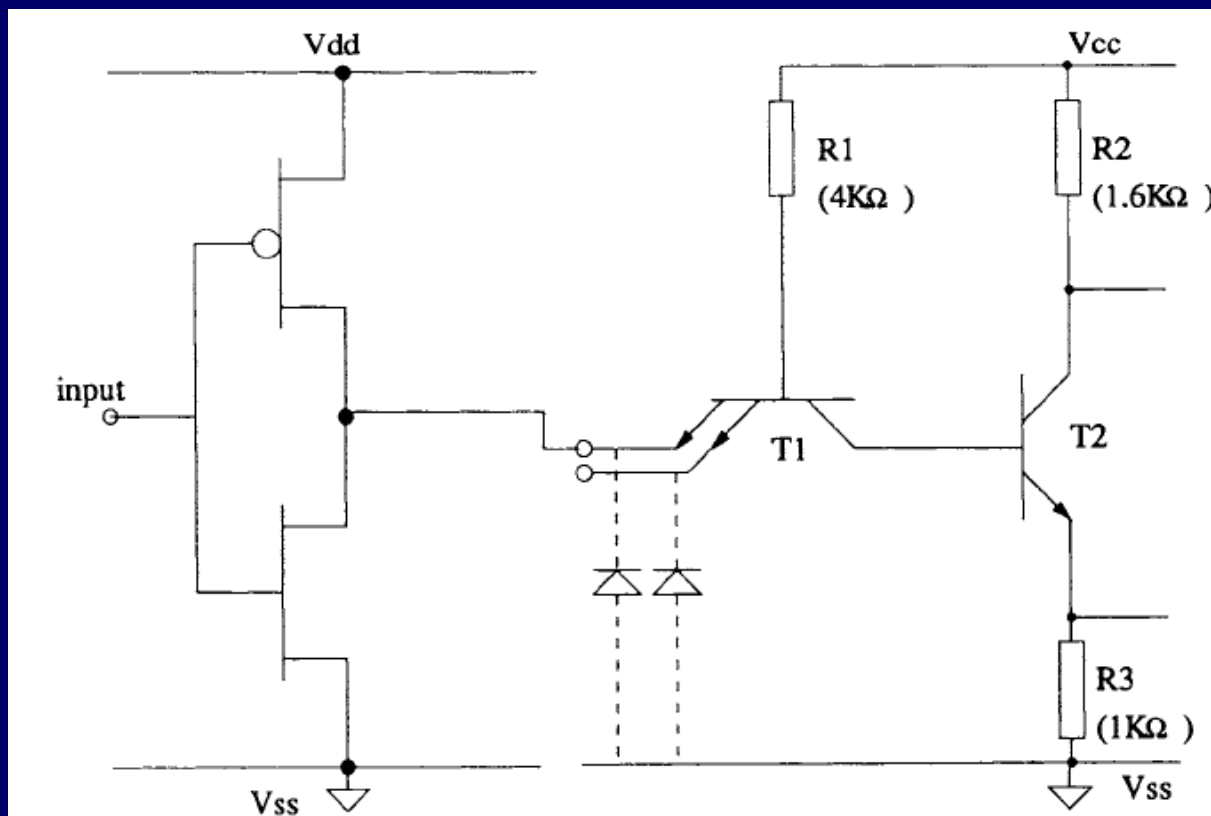
LOGIČKE FAMILIJE NAPONI NAPAJANJA POSEBNA KOLA

PREGLED STATIČKIH SPECIFIKACIJA ZA RAZNE LOGIČKE FAMILIJE



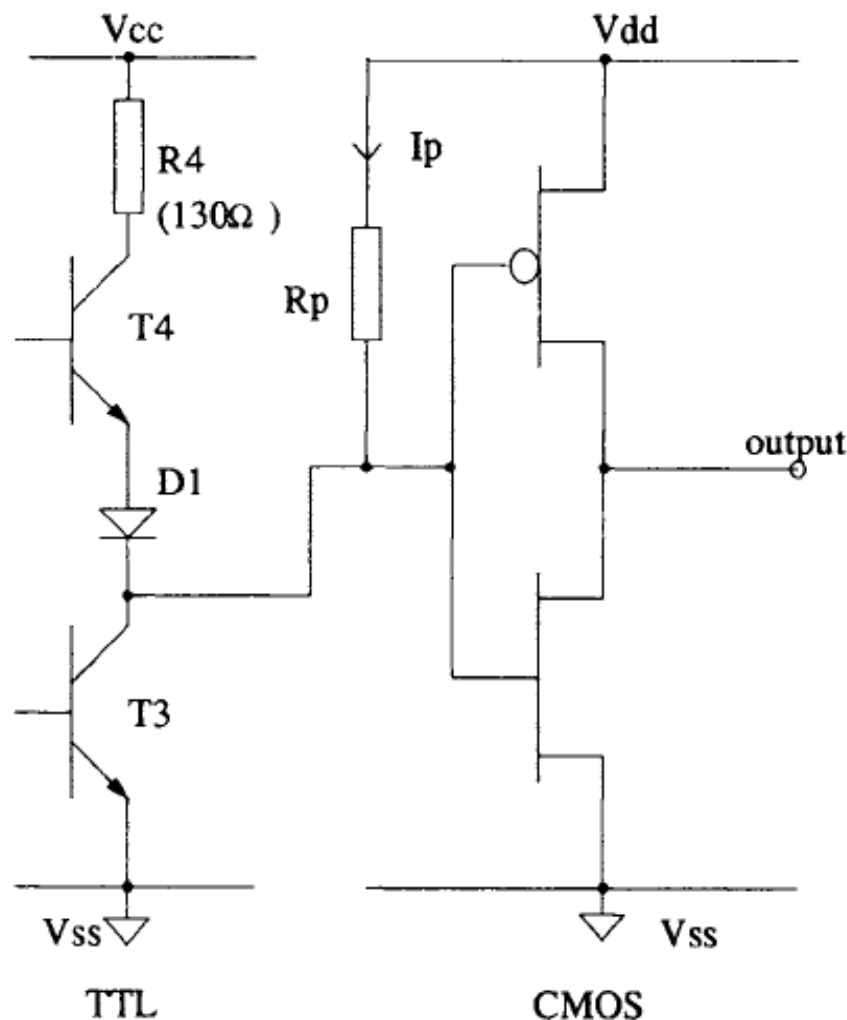
VEZIVANJE IZLAZA CMOS KOLA NA TTL ULAZ

- V_{OHmin} i V_{OLmax} CMOS kola zadovoljavaju uslove za ispravan rad TTL kola ukoliko su I_{OHmax} i I_{OLmax} dovoljni da zadovoljeve struje na ulazima u TTL kola. Ovaj uslov jedino ne mora biti ispunjen u slučaju nekih 4000 CMOS kola, ostala CMOS zadovoljavaju taj uslov
- Stoga se CMOS kola mogu direktno vezivati na ulaze TTL kola



VEZIVANJE IZLAZA TTL KOLA NA CMOS ULAZ

- V_{OHmin} TTL kola od samo 2.7V nije dovoljan da predje granicu V_{IHmin} CMOS kola od 3.5V te stoga nije moguće direktno vezati TTL kolo na ulaz CMOS kola



- Problem se rešava upotrebom CMOS kola koja su TTL kompatibilna (HCT, ACT i sl.) ili otpornik Rp za *pull up* koji obezbedjuje determinisanu vrednost napona na gejtju CMOS kola kada je prisutno logičko stanje HIGH
- Struja kroz združene gejtove CMOS kola i kroz kolektor zakočenog tranzistora T3 formira pad napona na otporniku Rp što znači da otpornik Rp ima gornju graničnu vrednost, koja tipično mora biti manja od 100KΩ za jedno CMOS kolo, a smanjuje se ako je više CMOS kola vezano na izlaz TTL kola

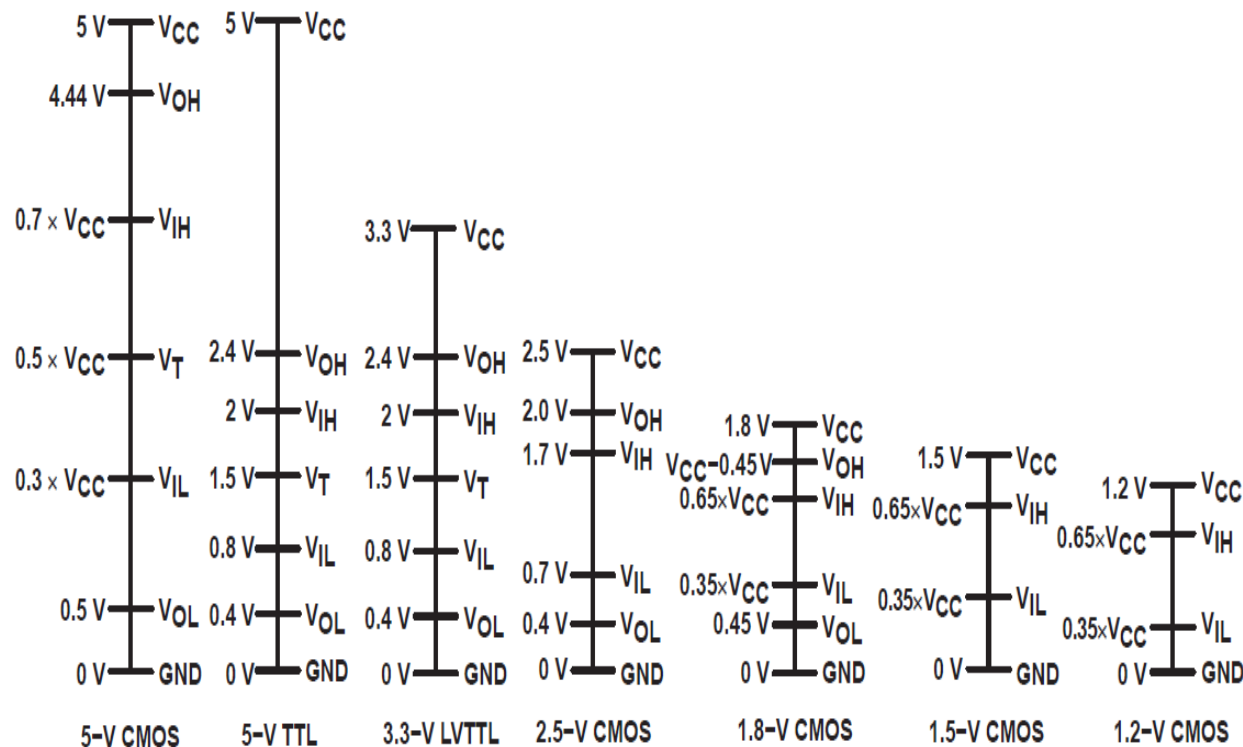
LOGIČKA KOLA NISKOGRADNOG NAPONA

low voltage logic

- Smanjivanje radnog napona logičkih kola dovodi do smanjenja dinamičke potrošnje (CV^2f) po kvadratnoj zavisnosti
- Tranzistori manjih dimenzija koji omogućavaju konstruisanje integrisanih kola veće gustine imaju manji probojni napon gejta i ne mogu raditi pri većim radnim naponima
- Smanjivanje radnog napona olakšava realizaciju baterijskog napajanja
- Ovi faktori su ključni razlog zašto se kontinuirano smanjuje radni napon logičkih kola (pogotovo CMOS)
- Sukcesivne generacije logičkih kola rade na nižim naponima napajanja od 3.3V, 2.5V i 1.8V
- Kod integrisanih kola velike gustine i složenosti često primenjuje se princip dualnog napona napajanja gde unutrašnje jezgro kola radi na nižem naponu kako bi se smanjila potrošnja a logičke komponente koje su povezane na pinove rade na većem naponu napajanja kako bi se mogle povezati na spoljašnja logička kola
- Kod diskretnih logičkih kola konstrukcija kola je takva da omogućava da se na ulaz kola vezuju logička kola koja rade na većem naponu napajanja, tzv. tolerancija!
- CD4000 i HC serije CMOS rade i na 3.3V iako su projektovana za 5V

PROGRESIVNO SMANJIVANJE NAPONA NAPAJANJA

- Skala (a) je 5V CMOS familija (HC, HCT)
- Skala (b) je 5V TTL familija (74...)
- CMOS familija napajana sa 3.3V (LVCMOS, nije na grafiku), ima definisane V_{OL} i V_{OH} za 0.2V od nivoa napajanja
- TTL familija napajana sa 3.3V (LVTTTL) je na skali (c)

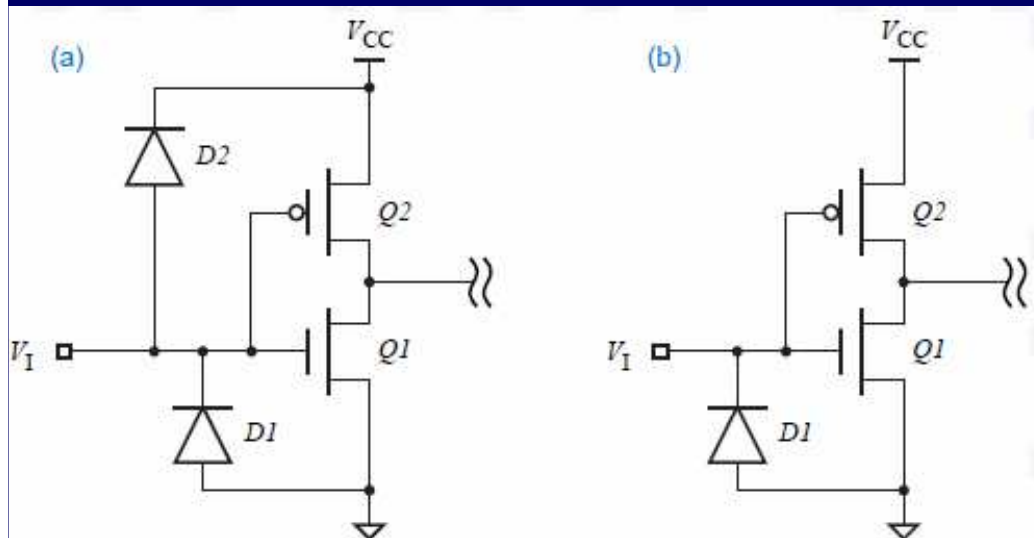


Skale (d) i (e) su za CMOS familije predviđene za rad na naponima od 2.5V i 1.8V pri čemu nije predviđeno mešanje familija

TOLERANCIJA 5V NA ULAZU

5V tolerant inputs

- Logička kola predviđena za rad sa manjim naponima napajanja u principu nisu u stanju da izdrže pojavu 5V na ulazima, jer dolazi do prekoračenja probojnih napona ili maksimalnih vrednosti struja
- Ukoliko je logičko kolo konstruisano tako da može da izdrži napone na ulazu koji su veći od napona napajanja, to se posebno naglašava u specifikaciji. Ukoliko nije naglašeno smatra se da kolo ne toleriše veći napon!
- Tolerancija napona od 5V na ulazu je važna kod integracije logičkih kola projektovanih za rad sa 3.3V i niže sa analognim komparatorima
- Na levoj slici je kolo koje nije tolerantno na 5V a na desnoj slici je tolerantno kolo

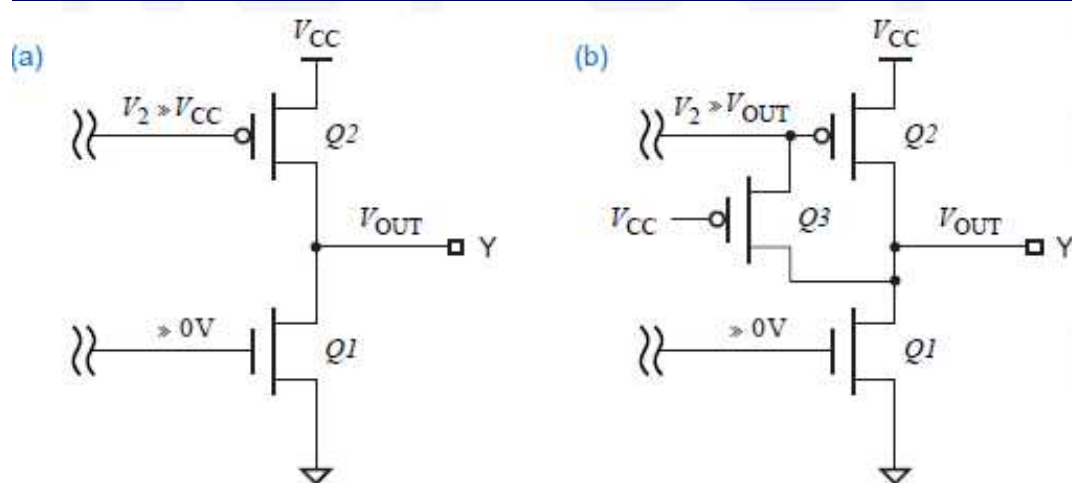


- Ugradjene zaštitne diode $D1$ i $D2$ služe da ograničene potencijalne impulsne napone više od V_{CC} ili niže od GND
- Dioda $D2$ u netolerantnom kolu bi provela ako bi na ulazu bio napon viši od V_{CC} što bi dovelo do pojave velike struje i pregrevanja

TOLERANCIJA 5V NA IZLAZU

5V tolerant outputs

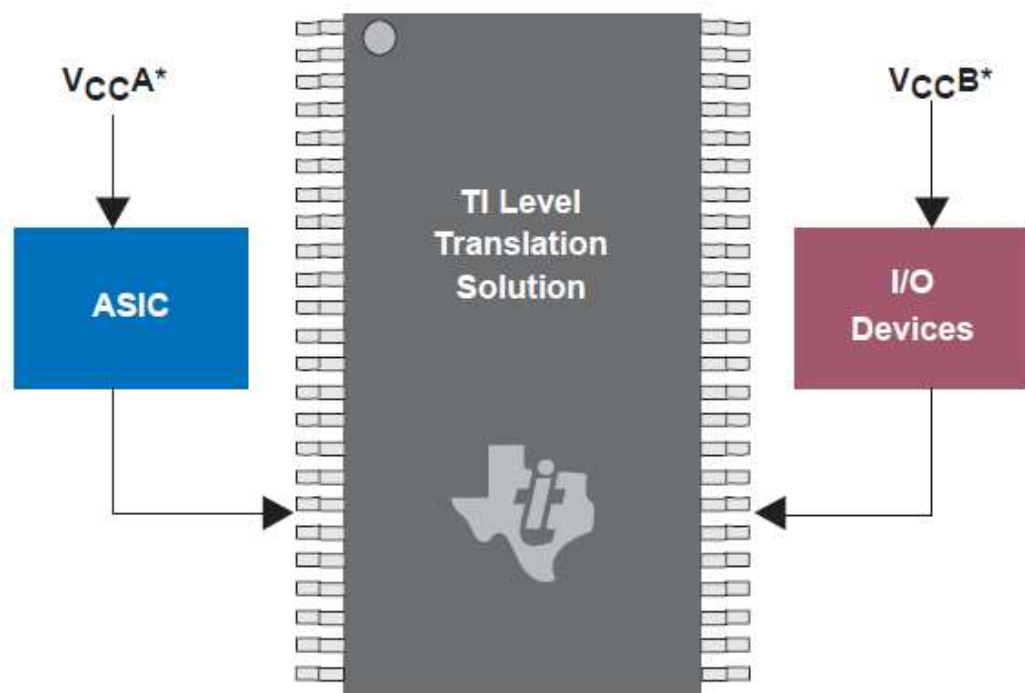
- Izlaz logičkog kola koje radi na 3.3V može biti povezano na magistralu na kojoj se nalazi i logičko kolo koje radi na 5V i koje može na liniju dovesti napon od 5V. Stoga logička kola nižeg napona moraju biti tolerantna na 5V na izlazu ako se viši napon može pojaviti u toj tački
- Na levoj slici je kolo koje nije tolerantno na 5V na izlazu. Ako je kolo u režimu visoke impedanse (*high Z*), tranzistori Q1 i Q2 ne vode pošto su im gejtovi na niskom i visokom potencijalu, respektivno. Ako se na izlazu (tačka Y) pojavi visok napon od 5V, spoj drejn gejta PMOS tranzistora Q2 može provesti veliku struju kroz kanal od Y do V_{CC} pošto je gejtna na 3.3V, što može dovesti do pregorevanja Q2.
- Na desnoj slici je tolerantno kolo koje ima dodat tranzistor Q3



- U kritičnoj situaciji tranzistor Q3 provodi i praktično kratko spaja gejtnu Q2 sa tačkom Y na drejnu Q2 i tako ne dozvoljava da Q2 provede struju

POVEZIVANJE KOLA RAZLIČITOG NAPONA NAPAJANJA

- Obavezno je poštovanje tolerancije na viši napona i na ulazu i na izlazu
- LVTTTL može biti priključen na ulaze TTL kola
- TTL izlaz se može priključiti na ulaz LVTTTL kola ako su ona tolerantna na 5V
- TTL i LVTTTL kola mogu biti povezana na istu magistralu ako su LVTTTL kola tolerantna na 5V
- Kod vezivanja kola predviđenih za 3.3V i 2.5V postoji nulta margina šuma za HIGH stanje kada je izlaz 2.5V kola vezan na ulaz 3.3V kola
- Kod vezivanja 2.5V i 1.8V kola javlja se negativna margina za HIGH stanje što onemogućava direktno vezivanje



- U svim slučajevima najsigurnije rešenje je upotreba tzv. translatora nivoa (*level translators*), posebnih logičkih kola koja se najčešće realizuju sa neutralnom logičkom funkcijom i omogućavaju mešanje logičkih familija različitog naponskog nivoa bez posledica
- Na levoj slici je tipična situacija koja zahteva translator nivoa

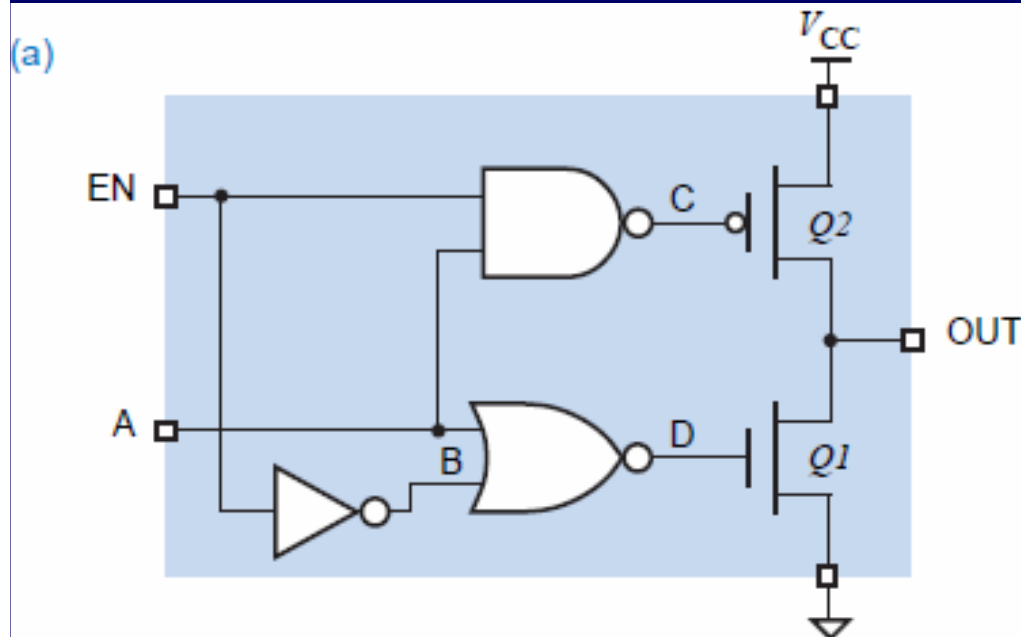
TABELA KOMPATIBILNOSTI POVEZIVANJA RAZLIČITIH FAMILIJA LOGIČKIH KOLA

to from	SN74LVT	SN74LVC	SN74ALVC	SN74LV	5V CMOS (CMOS levels)	5V TTL, ACT/ HCT/AHCT
SN74LVT	✓	✓	✓	✓	use pull-up resistor to 5V	✓
SN74LVC	✓	✓	✓	✓	use pull-up resistor to 5V	✓
SN74ALVC	✓	✓	✓	✓	use Levelshifter '4245 or 164245	✓
SN74LV	✓	✓	✓	✓	use Levelshifter '4245 or 164245	✓ *
5V CMOS (HC/AC/AHC/..)	✓	✓	use input voltage divider	use input voltage divider	✓	✓ *
5V TTL (ALS/F/AS/..)	✓	✓	✓	✓	use pull-up resistor to 5V	✓
ACT/HCT	✓	✓	use input voltage divider	use input voltage divider	✓	✓ *

TROSTATIČKI IZLAZI CMOS KOLA

three state outputs

- Posebna situacija nastaje kada je potrebno vezivati logička kola na magistrale gde kolo koje u nekom trenutku vremena nema pravo pristupa magistrali ne sme držati logički nivo jer bi time remetilo rad drugih kola
- Rešenje je u kolima sa 3 logička stanje, treće stanje se zove stanje visoke impedanse (*HIGH Z*) u kojem su izlazni tranzistori zakočeni
- Na slici je prikazana realizacija trostatičkog kola u CMOS tehnologiji, simbol i tablica istinitosti
- Ulaz EN (*enable*) u stanju LOW električno raskida kolo sa magistrale



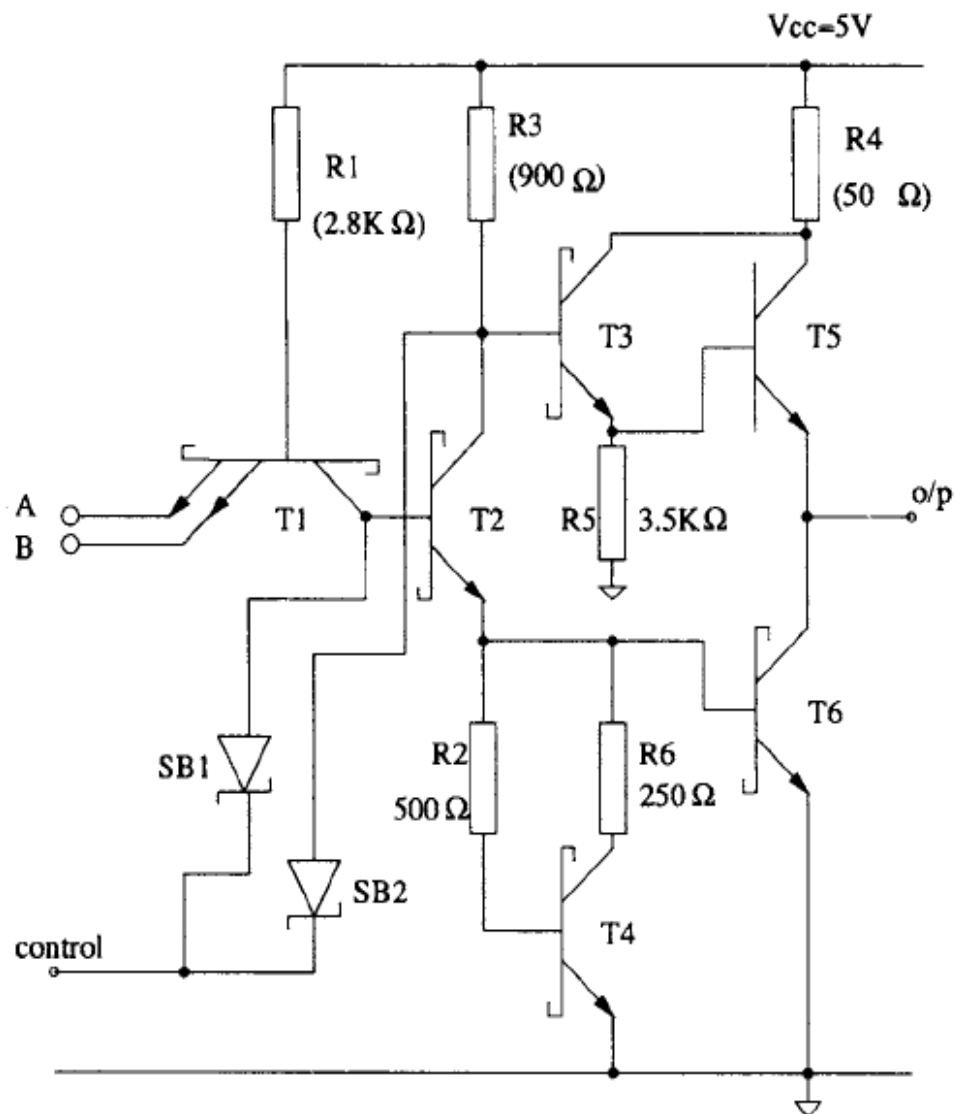
(b)

EN	A	B	C	D	Q1	Q2	OUT
L	L	H	H	L	off	off	Hi-Z
L	H	H	H	L	off	off	Hi-Z
H	L	L	H	H	on	off	L
H	H	L	L	L	off	on	H



TROSTATIČKI IZLAZI TTL KOLA

three state outputs



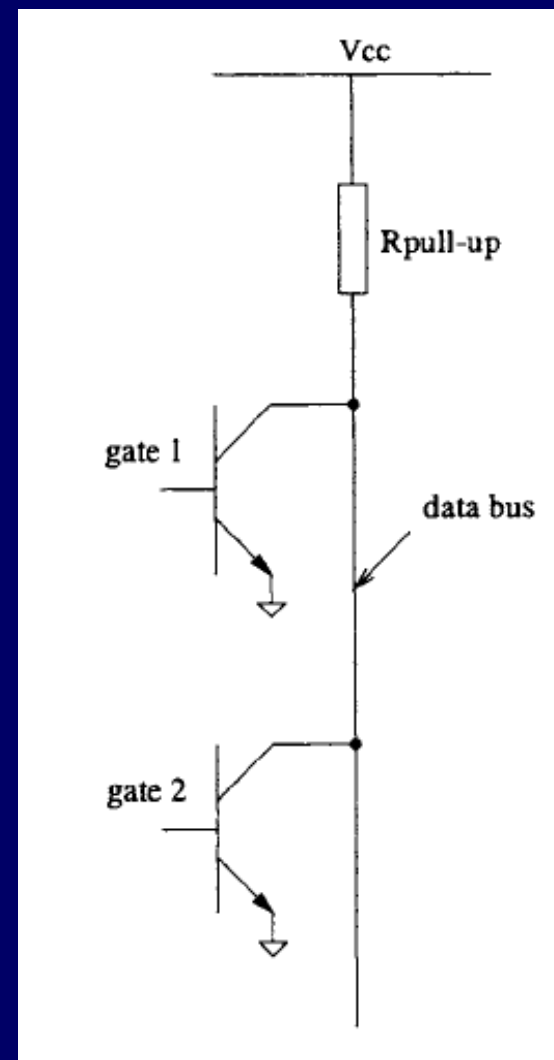
■ Kod TTL kola trostatička funkcija se realizuje preko zakočenja tranzistora T2 i T3 uz pomoć dioda SB1 i SB2

■ Kada je signal control na logičkoj nuli (LOW) tada diode SB1 i SB2 vode i formiraju napon na bazama T1 i T2 koji je niži od potrebnog napona za provodjenje BE spoja

■ Zakočeni tranzistori T3 i T2 dovode do kočenja tranzistora T5 i T6 na izlaznoj *totom pole* konfiguraciji, što je treće stanje

OTVORENI DREJN/KOLEKTOR IZLAZ *open drain/collector output*

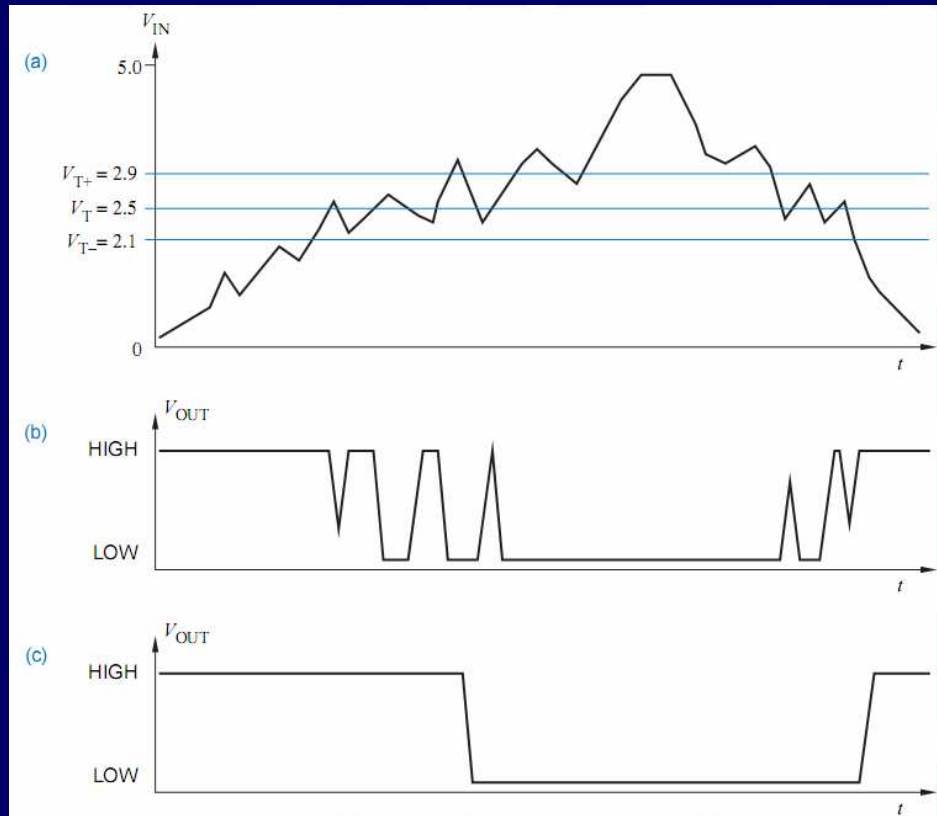
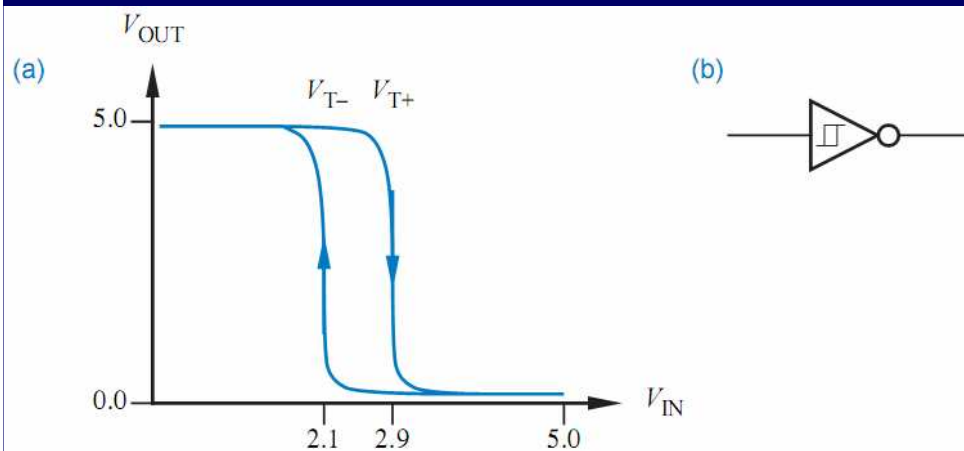
- Uklanjanjem PMOS tranzistora iz CMOS strukture ili gornjeg tranzistora i diode iz *totem pole* izlaznog stepena TTL kola dobija se konfiguracija sa otvorenim drejnom ili kolektorom
- Kratkim spajanjem više ovakvih izlaza i jednog otpornika realizuje se tzv. *wired logic*, koja obezbedjuje logičku I funkciju
- Koristi se za sporije magistrale jer ne može doći do sukoba stanja na liniji, što je jeftinija i jednostavnija ali zato sporija zamena za trostatičku magistralu
- Otpornik R_{pullup} ima gornju graničnu vrednost, ako je veći od iste, stanje logičke jedinice (HIGH) nije dobro definisano pošto struje kroz kolektore zakočenih tranzistora na magistrali (*data bus*) dovode do prevelikog pada napona
- Na slici na bazama tranzistora stoji oznaka *gejt*, iako bi trebalo da piše *base*, ili da se NPN BJT zameni sa NMOSom



ŠMITOVO ULAZNO KOLO

schmit trigger inputs

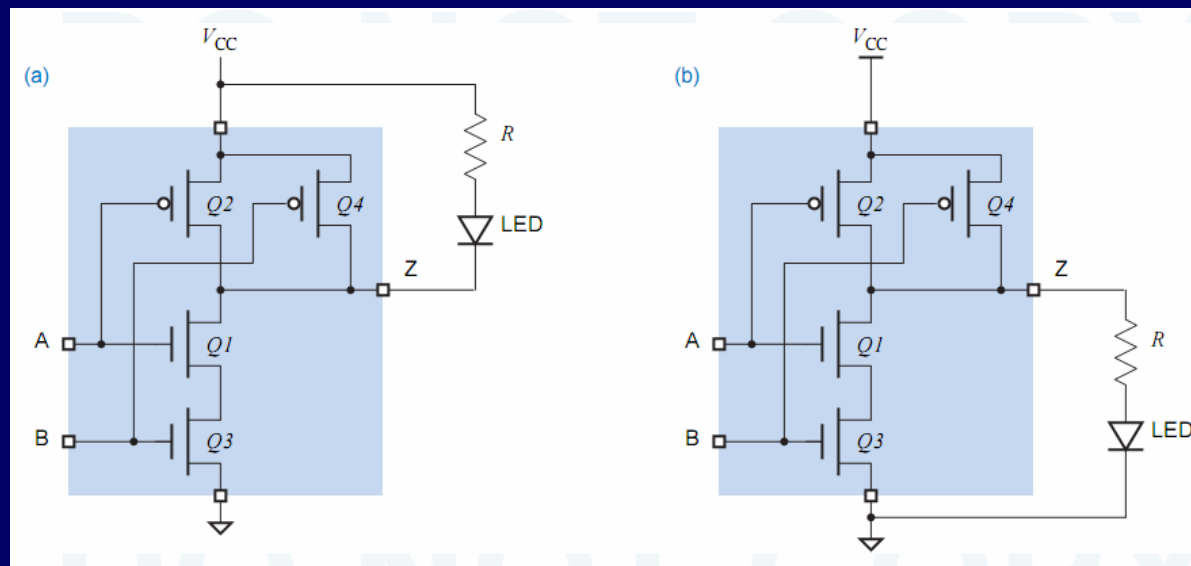
- Šmitovo kolo ispoljava histerezis u statičkoj karakteristici pošto se pragovi okidanja razlikuju u zavisnosti od smera logičkog prelaza na ulazu u kolo
- Na levoj slici je šmitovo kolo koje ima prag $V_{T+}=2.9V$ kod silazne ivice (prelaza HIGH na LOW) odnosno $V_{T-}=2.1V$ kada ulazni signal ima usponsku ivicu
- Na desnoj slici prikazana je primena šmitovog kola u eliminaciji višestrukih prelaza i šuma
- Grafik (a) je ulazni signal, (b) je odziv inverterskog kola a (c) je odziv inverterskog kola sa šmitovim ulaznim kolom
- Situacija je česta kod prekidača i tastera



VEZIVANJE POTROŠAČA NA LOGIČKA KOLA

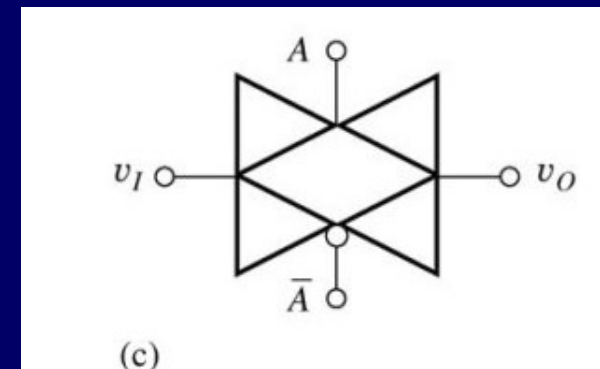
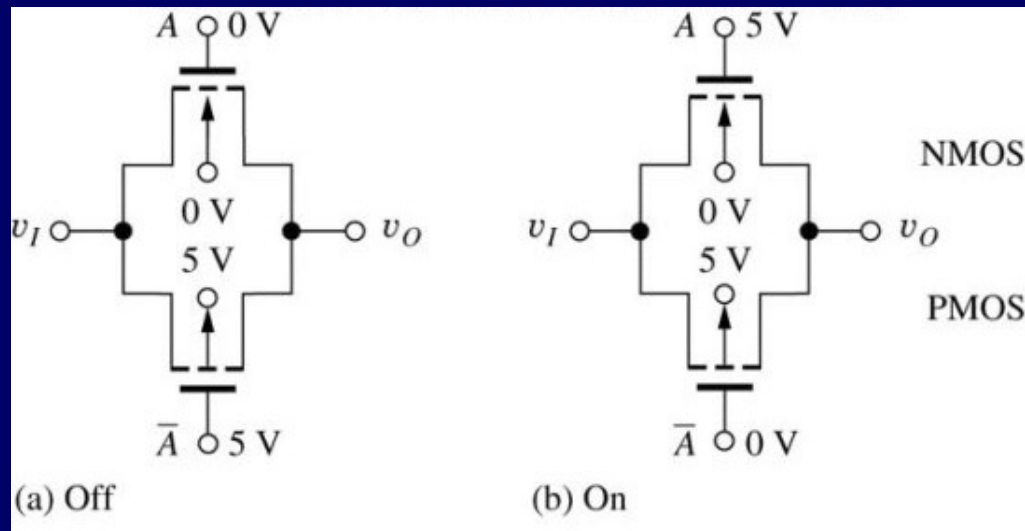
driving loads

- Potrošači kojima je za obavljanje funkcije dovoljno da struja teče u samo jednom smeru (LED, releji, grejači i sl.) vezuju se na logička kola preko otpornika koji ograničava maksimalnu struju
- Strujni kapacitet NMOS, CMOS i TTL logičkih kola veći je kada je izlazni stepen u LOW stanju, stoga je češći slučaj da se potrošač vezuje na izlaz logičkog kola tako da struja protiče od napajanja, preko potrošača u izlazni tranzistor koji je strujni ponor (slika a)
- Desna slika (b) je situacija koja se koristi samo kada se ne može zameniti sa (a)
- CMOS 4000 serija ima mali strujni kapacitet, dok novije generacije HCMOS i TTL kola se po pravilu mogu direktno vezati na potrošač
- Ako strujni kapacitet standardnog kola nije dovoljan tada postoje posebni baferi, najčešće sa otvorenim kolektorom, koji imaju veliki strujni kapacitet



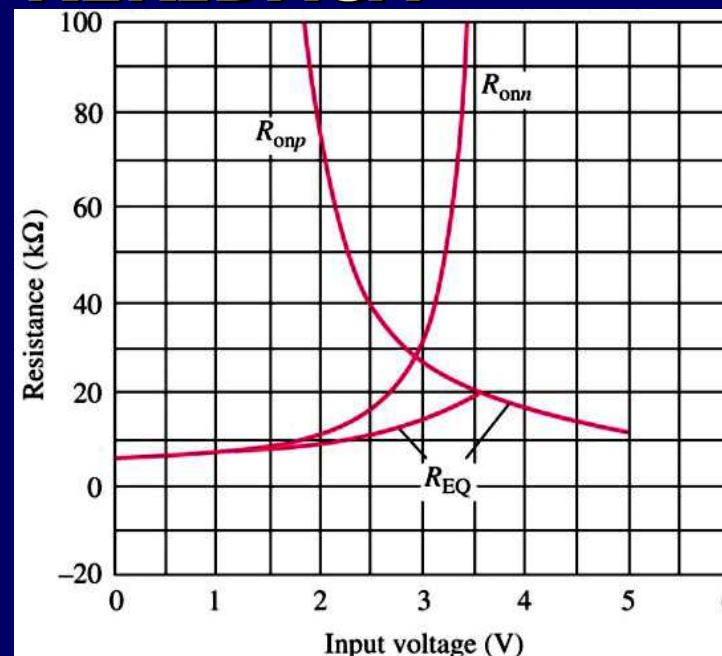
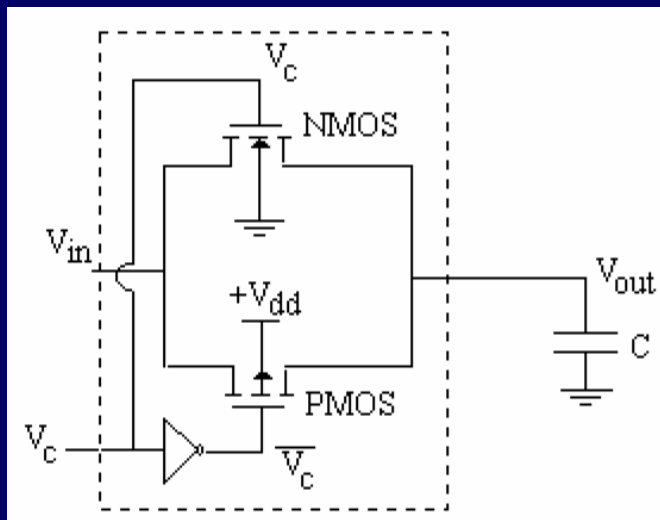
CMOS ANALOGNI PREKIDAČ

CMOS *transmission gate*



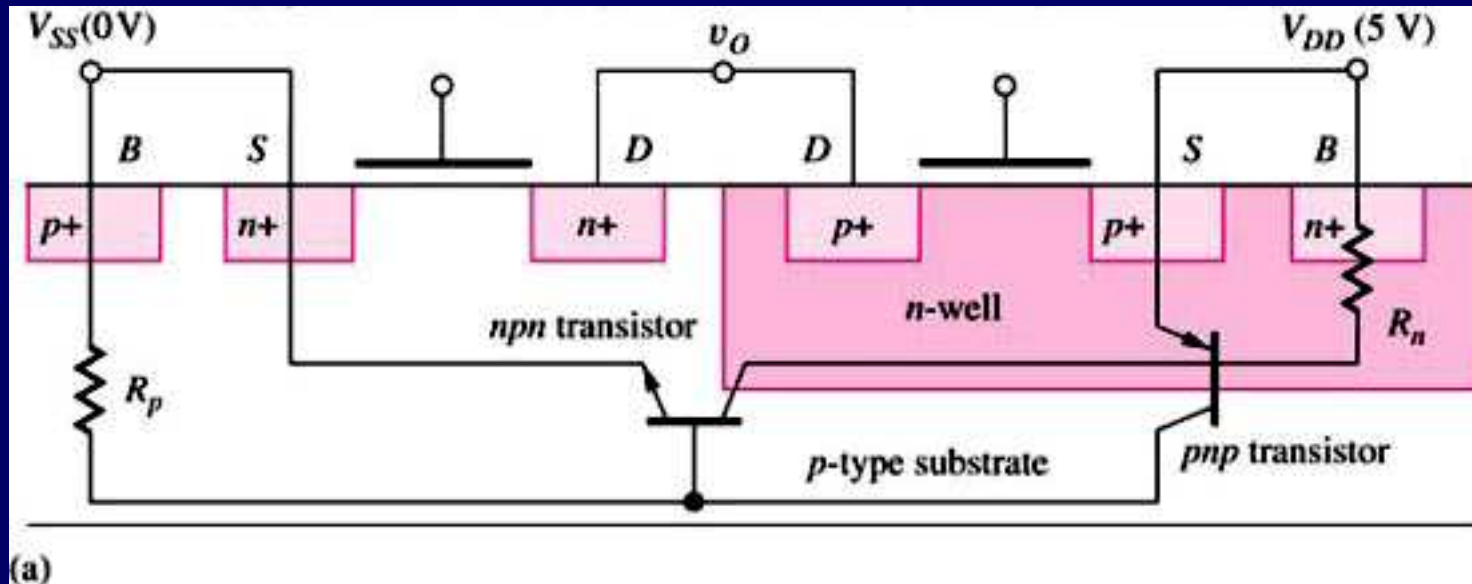
- Paralelna veza PMOS i NMOS tranzistora koja se ponaša kao raskinuta veza ili kao kratak spoj između v_i i v_o u zavisnosti od kontrolnih signala A i A komplement
- Na desnoj slici je simbol za CMOS analogni prekidač
- U praksi se kontrolni signali obezbeđuje preko dodatnog CMOS invertera koji čiji je ulaz A a izlaz A komplement

SVOJSTVA CMOS PREKIDAČA



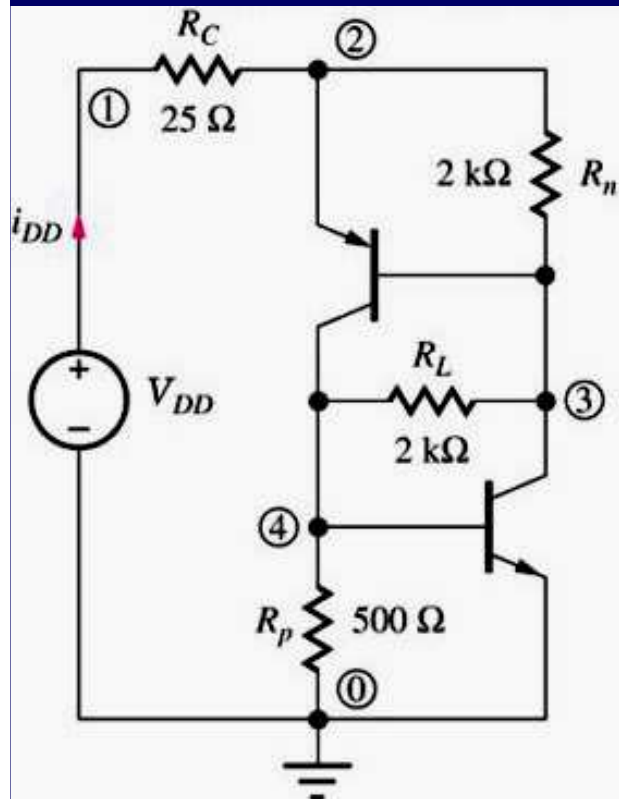
- Ako je V_c logička nula, gejt NMOSa je na nuli a gejt PMOSa na V_{dd} čime su praktično oba tranzistora isključena
- Ako je V_c logička jedinica, makar jedan od MOS tranzistora je provodan u zavisnosti od naponskog nivoa V_{in}
- Na desnoj slici je prikazana karakteristika otpornosti prekidača između tačaka V_{in} i V_{out} . Karakteristika prekidača R_{eq} je kombinacija paralelnih veza otpornosti kanala NMOS i PMOS tranzistora u funkciji ulaznog napona

CMOS latchup

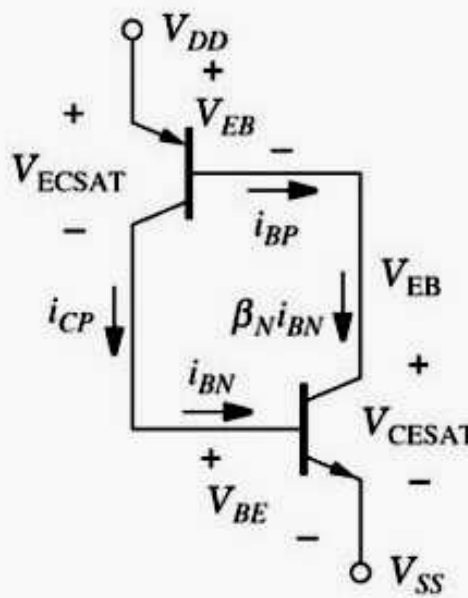


- Parazitni bipolarni tranzistori u CMOS inverteru tako su povezani da mogu istovremeno obadva da vode provodeći veliku struju od V_{DD} do V_{SS} .
- Ova struja može dovesti do termičkog razaranja kola jer nije ograničena

CMOS latchup



(b)



(c)

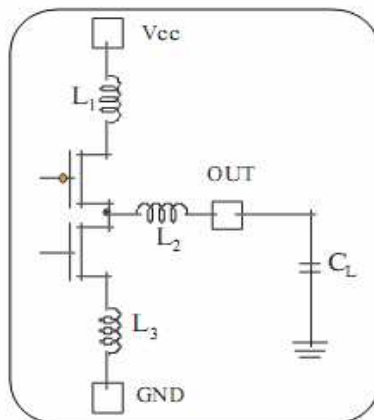
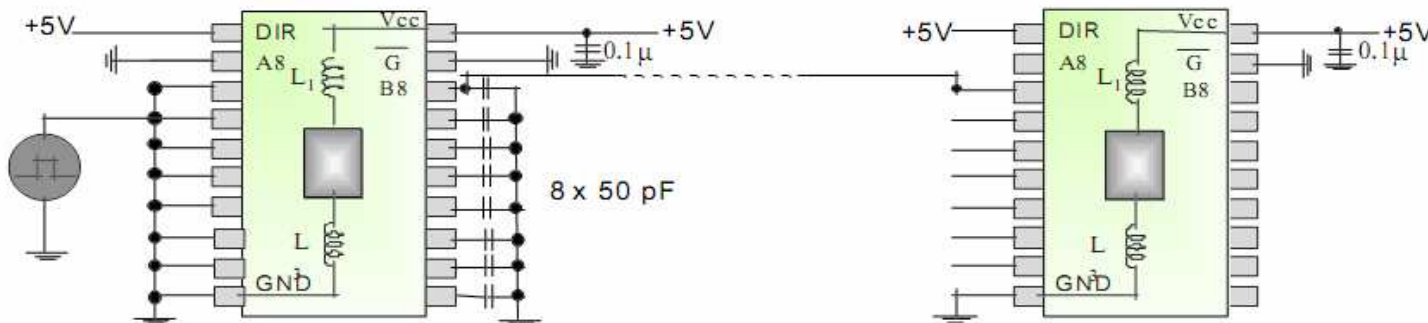
■ U latchup-u npn tranzistor koji je provodan drži pnp tranzistor u provodnom režimu je obara njegov napon baze i obratno.

■ Praktičan lek je smanjenje otpornosti R_n i R_p čime se smanjuje mogućnost da naponi baza emiter dostignu vrednost provodjenja

INDUKTIVNOST VODA MASE

ground bounce

- Induktivnost pinova i vodova dovodi do pojave skoka potencijala mase (GND) u trenutku kada se menja logičko stanje usled izuzetno velike promene struje u kratkom vremenu logičke ivice
- Velika struja nastaje kao posledica punjenja i pražnjenja parazitnih kapaciteta na svakom logičkom izlazu



$$V = L \times \frac{di}{dt}$$

dt = Change in time
 di = Change in current
 L = Packages inductance
 V = Amplitude of noise voltage



PREGLJED LOGIČKIH FAMILIJA

Logic Families/Overview

Logic Family	Prop. Delay	Rise/Fall Time	$V_{ih_{min}}$	$V_{il_{max}}$	$V_{oh_{min}}$	$V_{ol_{max}}$	Noise Margin
74	22ns		2.0V	0.8V	2.4V	0.4V	0.4V
74LS	15ns		2.0V	0.8V	2.7V	0.5V	0.3V
74F	5ns	2.3ns	2.0V	0.8V	2.7V	0.5V	0.3V
74AS	4.5ns	1.5ns	2.0V	0.8V	2.7V	0.5V	0.3V
74ALS	11ns	2.3ns	2.0V	0.8V	2.5V	0.5V	0.3V
ECL	1.45ns	0.35ns	-1.165V	-1.475V	-1.025V	-1.610V	0.135V
4000	250ns	90ns	3.5V	1.5V	4.95V	0.05V	1.45V
74C	90ns		3.5V	1.5V	4.5V	0.5V	1V
74HC	18ns	3.6ns	3.5V	1.0V	4.9V	0.1V	0.9V
74HCT	23ns	3.9ns	2.0V	0.8V	4.9V	0.1V	0.7V
74AC	9ns	1.5ns	3.5V	1.5V	4.9V	0.1V	1.4V
74ACT	9ns	1.5ns	2.0V	0.8V	4.9V	0.1V	0.7V
74AHC	3.7ns		3.85V	1.65V	4.4V	0.44V	0.55V

(Typical values for rough comparison only. Refer to datasheet. Values valid for $V_{cc}=5V$)

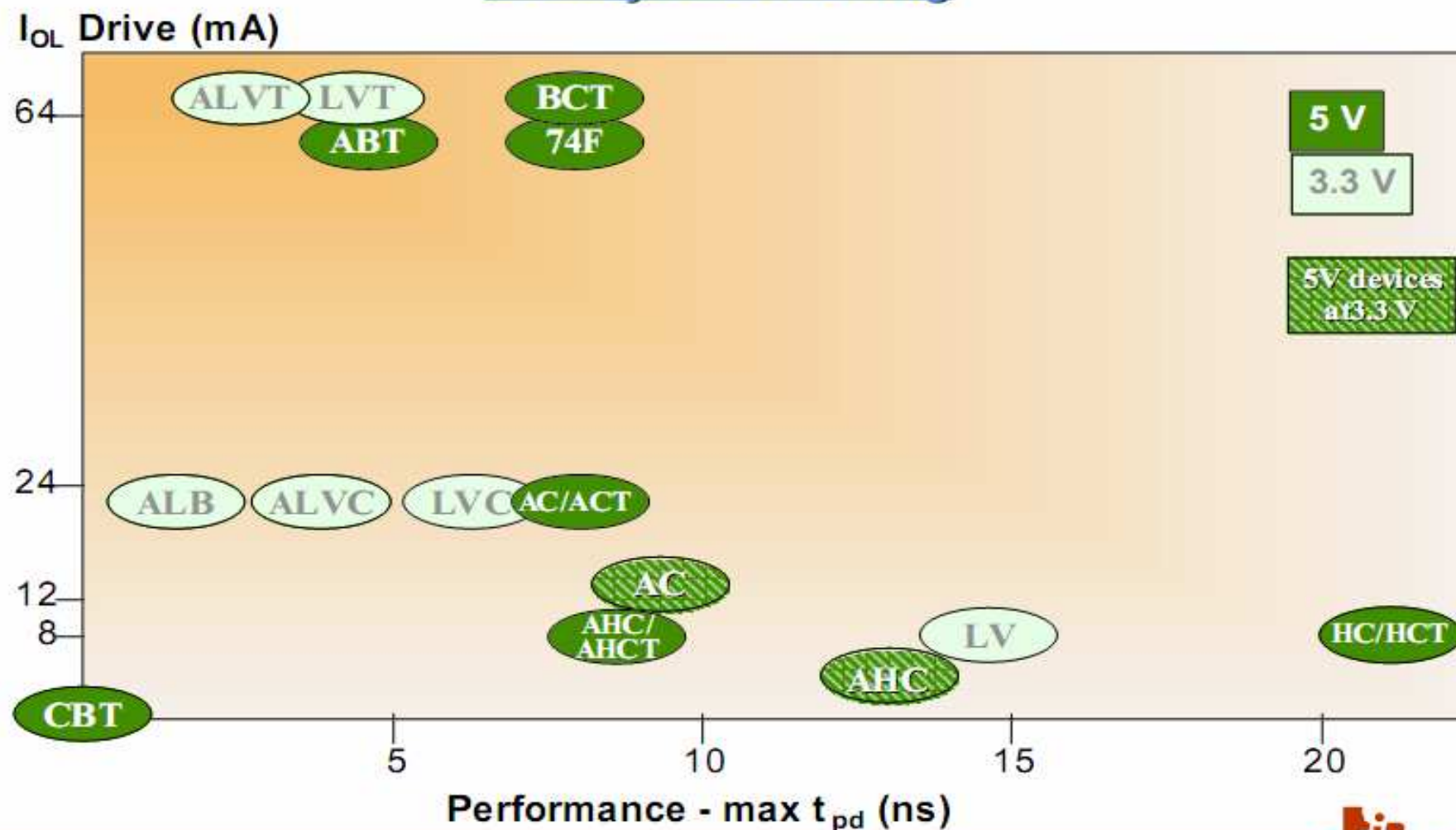
PREGLED LOGIČKIH FAMILIJA 2

Device	Description	Technology	Delay(ns)	Pstatic	Vohmin Volmax @Iomax	Vihmin Vilmax	Iihmax Iilmax	Iohmax Iolmax
74	Standard TTL	TTL	10	10 mW	2.4/0.4	2/0.8	40 μ A/-1.6 mA	-0.4 mA/16 mA
74S	Schottky clamped TTL – transistors do not enter saturation	TTL	3	20 mW	2.7/0.5	2/0.8	50 μ A/-2 mA	-1 mA/20 mA
74LS	Low power Schottky – as 74S but larger resistor values	TTL	10	2 mW	2.7/0.5	2/0.8	20 μ A/-0.4 mA	-0.4 mA/8 mA
74AS	Advanced Schottky – same as 74S but improved processing	TTL	2	8 mW	2.7/0.5	2/0.8	20 μ A/-0.5 mA	-2 mA/20 mA
74ALS	Advanced low power Schottky – low power version of 74AS	TTL	4	1 mW	2.7/0.5	2/0.8	20 μ A/-0.1 mA	-0.4 mA/8 mA
74F	Fast -- compromise between S and ALS	TTL	3	4 mW	2.7/0.5	2/0.8	20 μ A/-0.6 mA	-1 mA/20 mA
74C	Standard CMOS – first CMOS parts in TTL pinout	CMOS	30	50 μ W	4.2/0.4	3.5/1	$\pm 2 \mu$ A	± 4 mA
74HC	High speed CMOS – improved CMOS	CMOS	9	25 μ W	4.3/0.33	3.5/1	$\pm 0.1 \mu$ A	± 4 mA
74HCT	High speed CMOS with TTL i/p voltage levels	CMOS	10	25 μ W	4.3/0.33	2/0.8	$\pm 0.1 \mu$ A	± 4 mA
74AC	Advanced high speed CMOS (1.5 μ m CMOS)	CMOS	4	25 μ W	4.3/0.44	3.5/1.5	$\pm 0.1 \mu$ A	± 24 mA
74ACT	Advanced high speed CMOS with TTL i/p voltage levels	CMOS	6	25 μ W	4.3/0.44	2/0.8	$\pm 0.1 \mu$ A	± 24 mA
74(A)BCT	High speed BiCMOS for line drivers	BiCMOS	3.5	600 μ W	2/0.55	2/0.8	0.07 mA/0.65 mA	-15 mA/64 mA
74LVC	Low voltage (2.7–3.6 V) 1 μ m CMOS	CMOS	5	50 μ W	2/0.55	2/0.8	$\pm 1 \mu$ A	± 24 mA
74LV	Low voltage (2.7–3.6 V) 2 μ m CMOS	CMOS	9	50 μ W	2.4/0.4	2/0.8	$\pm 1 \mu$ A	± 6 mA
74LVT	Low voltage BiCMOS (optional 5 V inputs, 3 V outputs)	BiCMOS	4	400 μ W	2/0.5	2/0.8	$\pm 1 \mu$ A	± 32 mA
74ALVC	Advanced low voltage 1 μ m CMOS	CMOS	3	50 μ W	2/0.55	2/0.8	$\pm 5 \mu$ A	± 24 mA
4000B	Early CMOS, not TTL pin compatible, 5–12 V supply	CMOS	75	50 μ W	2.5/0.4	3.5/1.5	$\pm 0.1 \mu$ A	0.6 mA/2.3 mA
F100K	100K ECL series – very fast but poor noise margins	ECL	0.75	20 mW	-0.9/-1.7	-1.2/-1.4	240 μ A, 0.5 μ A	± 40 mA

PREGLED LOGIČKIH FAMILIJA

Digital Design Seminar

Family Positioning



ŽIVOTNI VEK LOGIČKIH FAMILIJA

product life cycle

